

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-132516

(43)Date of publication of application : 13.05.1994

(51)Int.Cl.

H01L 27/15
H01L 21/60
// H01L 23/538

(21)Application number : 05-198158

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.08.1993

(72)Inventor : KATO TAKESHI
FUJITA YUJI
MIZUSHI KENICHI
KAWADA ATSUMI
ITOU HIROYUKI

(30)Priority

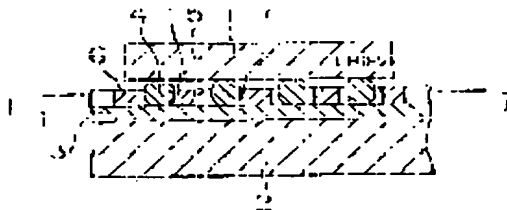
Priority number : 04213954
04236169Priority date : 11.08.1992
03.09.1992Priority country : JP
JP

(54) SEMICONDUCTOR DEVICE AND CLOCK SIGNAL SUPPLIER

(57)Abstract:

PURPOSE: To provide an optical wiring technique suitable for a flip chip mounting method, relating to a semiconductor device equipped with a semiconductor chip and a wiring substrate.

CONSTITUTION: Relating to a semiconductor device wherein a semiconductor chip 1 and a wiring substrate 2 are flip-flop connected together, an optical wave guide wiring 5 is provided in a space within an electrode body 4. By this, the electric wiring of the wiring substrate and assignment of the optical wave guide wiring do not constrain with each other, so these are used properly according to applications, further, can be utilized for optical clock signal supply.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device which equips with optical waveguide the tooth space between two or more electrode objects arranged by two dimensions for connecting said wiring substrate with said semiconductor chip in the semiconductor device which carried out flip chip bonding of the semiconductor chip to the wiring substrate, and said two or more electrode objects.

[Claim 2] They are said semiconductor chip and said semiconductor device according to claim 1 by which wiring substrate flip chip bonding is carried out by said two or more electrode objects put on the inside of the through tube prepared in the direction perpendicular to the principal plane of said optical waveguide.

[Claim 3] Said semiconductor chip is a semiconductor device according to claim 1 which has the signal wiring connected to said optical waveguide, and has the signal wiring and power-source wiring which are connected to said wiring substrate.

[Claim 4] The semiconductor device according to claim 1 which distributes a clock signal by semiconductor chip optical waveguide equipped with a photo detector and a clock receiving circuit.

[Claim 5] The semiconductor device according to claim 1 which carries out the bus connection of the semiconductor chip equipped with luminescence / photo detector, and luminescence/light-receiving circuit by optical waveguide.

[Claim 6] Said electrode object is a semiconductor device according to claim 1 which is a metal bump.

[Claim 7] Optical INTAKONEKUSHON by which said wiring substrate leads a clock signal to the reception aforementioned optical waveguide. It has electric INTAKONEKUSHON which gives the electric reference signal by which dividing was carried out from said clock signal to one of the electrode objects of the reception aforementioned plurality. Said semiconductor chip Electric INTAKONEKUSHON which transmits this electrical signal by which dividing generation was carried out to a predetermined distribution place. At least that of the clock signal outputted from said optical INTAKONEKUSHON based on the reference signal transmitted in this electric INTAKONEKUSHON adjusts progress or delay of a phase, and arranges a phase. The semiconductor device according to claim 1 constituted by having a phase adjustment means to output the clock signal which has a predetermined frequency and a predetermined phase to a low-ranking distribution place.

[Claim 8] Said optical INTAKONEKUSHON is a semiconductor device according to claim 7 which equips said optical receiving means with an optical transmission means to supply said optical clock signal, from an optical transmitting means to change into an optical clock signal the electric clock signal outputted from the clock generator, an optical receiving means to change said optical clock signal into an electric clock signal, and said optical transmitting means.

[Claim 9] The semiconductor device according to claim 7 which has a reference signal generation means to carry out dividing of the clock signal which has said first frequency, and to generate the reference signal below the frequency bandwidth of said electric INTAKONEKUSHON.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipdl... 2005/10/03

[Claim 10] Said optical transmitting means is the laser diode which oscillates said optical clock signal, and a semiconductor device [equipped with the laser diode driving means which has the function to change said electric clock signal into the drive current of this laser diode] according to claim 8.

[Claim 11] Said optical transmitting means is a semiconductor device according to claim 8 characterized by having an optical amplification means to amplify said optical clock signal.

[Claim 12] Said optical amplification means is a semiconductor device according to claim 11 which are either the rare-earth-elements dope optical fiber amplifier by optical pumping, and a semi-conductor optical amplifier by current excitation.

[Claim 13] Said optical transmitting means is a semiconductor device [equipped with the optical output control means which has the function to hold the signal amplitude of an optical clock signal to constant value] according to claim 8.

[Claim 14] Said optical output control means is a semiconductor device according to claim 13 which is an auto power control circuit.

[Claim 15] Said optical receiving means is a semiconductor device [equipped with the photodetector driving means which has the function to change into said electric clock signal the photocurrent signal which flows said optical clock signal to a ***** photodetector and this photodetector] according to claim 8.

[Claim 16] Said photodetector is a semiconductor device according to claim 15 which is a photodiode.

[Claim 17] Said optical receiving means is a semiconductor device [equipped with the band pass means which carries out the body to the frequency of said electric clock signal] according to claim 8.

[Claim 18] Said band pass means is a semiconductor device according to claim 17 which is a band pass filter circuit.

[Claim 19] Said optical transmission means is a semiconductor device according to claim 8 which has either an optical fiber and optical waveguide.

[Claim 20] Said optical transmission means is a lens, a mirror, a hologram, and a semiconductor device according to claim 8 that has at least one of prism and is constituted.

[Claim 21] Said optical transmission means is a semiconductor device [equipped with an optical branching means to branch the transmitted optical clock signal] according to claim 8.

[Claim 22] Said optical branching means is an optical fiber mold star coupler, an optical waveguide mold star coupler, and a semiconductor device according to claim 21 that has at least one of beam splitters.

[Claim 23] Said optical transmission means is a semiconductor device [equipped with at least one of an optical-path conversion means, an optical focusing means, and optical isolation means] according to claim 8.

[Claim 24] It is the semiconductor device according to claim 23 which said optical isolation means has at least one of a partition, covering, and masks, and is further constituted by said optical-path conversion means having at least one of a mirror, prism, and gratings, and being constituted, and said optical focusing means having at least one of a lens and gratings, and constituting it.

[Claim 25] The optical clock signal irradiated by said optical receiving means with said optical transmitting means and an optical wiring means is a semiconductor device according to claim 8 which is beyond the minimum receiving optical output in the frequency of this optical clock signal.

[Claim 26] The clock generator which generates the clock signal which has a certain frequency, and optical INTAKONEKUSHON which changes said clock signal into a lightwave signal, transmits to two or more predetermined distribution places, and is changed into an electrical signal at a transmission edge. A reference signal generation means to carry out dividing of the clock signal generated from said clock generator, and to generate an electrical signal, Electric INTAKONEKUSHON which transmits this electrical signal by which dividing generation was carried out to said two or more distribution places. At least based on the reference signal transmitted in this electric INTAKONEKUSHON of the electrical signal outputted from said

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje?u=http%3A%2F%2Fwww4.ipdl... 2005/10/03

optical INTAKONEKUSHON, adjust progress or delay of a phase, and a phase is arranged. The clock signal feeder constituted by having a phase adjustment means to output the clock signal which has a predetermined frequency and a predetermined phase to a low-ranking distribution place.

[Claim 27] Said optical INTAKONEKUSHON is a clock signal feeder according to claim 26 which equips said optical receiving means with an optical transmission means to offer said optical clock signal, from an optical transmitting means to change into an optical clock signal the electric clock signal outputted from said clock generator, an optical receiving means to change said optical clock signal into an electric clock signal, and said optical transmitting means.

[Claim 28] Said optical transmitting means is a clock signal feeder [equipped with the laser diode driving means which has the laser diode which oscillates said optical clock signal, and the function to change said electric clock signal into the drive current of this laser diode] according to claim 27.

[Claim 29] Said optical transmission means has the optical waveguide prepared on a wiring substrate, and said optical receiving means and said phase adjustment means are established on the half-*** chip. Said electric INTAKONEKUSHON It has a two or more bumps means to connect said wiring substrate and said semiconductor chip electrically and mechanically. Said optical waveguide between said wiring substrates and said semiconductor chips The clock signal feeder according to claim 27 which intervenes between said optical transmitting means and an optical receiving means so that it may set and an optical clock signal may be supplied to said semiconductor chip from said clock generator by the tooth space between said two or more bumps means.

[Claim 30] Said optical transmitting means is a clock signal feeder according to claim 27 characterized by having an optical amplification means to amplify said optical clock signal.

[Claim 31] Said optical amplification means is a clock signal feeder according to claim 30 which are either the rare-earth-elements dope optical fiber amplifier by optical pumping, and a semi-conductor optical amplifier by current excitation.

[Claim 32] Said optical transmitting means is a clock signal feeder [equipped with the optical output control means which has the function to hold the signal amplitude of an optical clock signal to constant value] according to claim 27.

[Claim 33] Said reference signal generation means is a clock signal feeder according to claim 26 which carries out dividing of the clock signal which has said first frequency, and generates the reference signal below the frequency bandwidth of said electric INTAKONEKUSHON.

[Claim 34] It is the clock signal feeder according to claim 29 which said optical receiving means and said phase adjustment means are arranged at each semi-conductor module, and supplies the clock signal which said optical receiving means detects the optical clock signal which branched through said optical branching means, and has a predetermined frequency and a predetermined phase to each semi-conductor module.

[Claim 35] The optical receiving means and phase adjustment means in this feeder are the clock signal feeder according to claim 34 prepared on the same substrate as the semi-conductor substrate which constitutes a processor.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the clock signal feeder in ultra high-speed processors, such as a large-sized computer, especially about the optical INTAKONEKUSHON technique in a semiconductor device equipped with a semiconductor chip and a wiring substrate.

[0002]

[Description of the Prior Art] A semiconductor device follows on large-scale-izing, and the high density assembly of a semiconductor chip and the increment in the input/output terminal such are searched for. In order to fill this demand, a flip chip mounting method like a publication is used for JP.61-17738A which used the U.S. application serial number No. 695,597 as the base. By this mounting method, a semiconductor chip is connected with a wiring substrate HEBAMPU electrode. An electrode can be prepared in the whole semiconductor chip front face, and many-items child connection is possible.

[0003] Moreover, the actuation in a semiconductor device follows on accelerating, and the propagation-delay time and the cross talk of electric wiring of a wiring substrate have been a problem. They are proceedings in order to solve this. OBU THE IEEE, The 72nd volume, No. 77, the 850th page to the 866th page, 1984 (866 72 vol. no. Proceedings of The IEEE, 7, pp.850-1984), Proceedings OBU The 836th volume of S Py eye I, OPUNT electro nick MATERIARUZU, DEBAISEZU and packaging and — The 350th page from INTAKONE shoes and the 343rd page 1987 (350 Proceedings of SPIE vol. 836, Optoelectronic Materials, Devices, Packaging and Interconnects, pp.343- 1987), proceedings OBU The 991st volume of S Py eye I, and fiber Optic data com — and — Computer networks — The 4th page to the 11th page, 1988 (11 Proceedings of SPIE vol. 991, Fiber Optic Datacom and Computer Networks pp.4- 1988). An optical INTAKONEKUSHON technique like a publication is known by USP4,762,382. With these optical INTAKONEKUSHON techniques, between semiconductor chips is connected with optical waveguide wiring. Since there is no cross talk by an increment and induction of the time constant by the capacity and resistance like electric wiring in optical waveguide wiring, it is said that a high speed and broadband wiring are possible.

[0004]

[Problem(s) to be Solved by the Invention] Many input/output terminals for power-source wiring besides signal wiring, clock wiring, etc. are indispensable to a semiconductor chip. Although optical waveguide wiring has the advantage that they are a high speed and a broadband compared with electric wiring as mentioned above, the size cannot be made detailed below to wavelength order. Moreover, if delay by photo-electric-conversion time amount is taken into consideration, if optical waveguide wiring is not beyond a certain wiring distance, it will not become advantageous from electric wiring. Therefore, it is disadvantageous to transpose all the electric wiring of a wiring substrate to optical waveguide wiring, and after securing the number of electric input/output terminals of a certain extent, it is necessary to perform optical waveguide wiring. In order to reconcile electric wiring and optical waveguide wiring, it is promising to apply an optical INTAKONEKUSHON technique to the flip chip mounting method in which a many-items child's electrical connection is possible.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.ejje

2005/10/03

JP.06-132516A [DETAILED DESCRIPTION]

3/19 ページ

[0017] For example, when it applies to Japanese electronics, the December 10, 1990 issue, and the large-sized computer mounted by high density given in the 241st page from the 226th page, it is most difficult to adjust the optical path length according to an individual with a help in a narrow mounting tooth space.

[0018] Moreover, by this method, the skew by the photo detector cannot still be reduced.

[0019] The purpose of this invention is to offer the optical wiring technique which is compatible with the electric wiring in a flip chip mounting method. It is accompanied by the consideration to the joint approach of suitable arrangement and a suitable role assignment of electric wiring and optical waveguide wiring, optical waveguide wiring, and the optical component section, the wiring formation approach, etc. in that case.

[0020] Another purpose of this invention is offering the signal feeder which arrangement of electric wiring and optical waveguide wiring is not restrained mutually, can use electric wiring and optical waveguide wiring properly according to an application, and has the high degree of freedom of a wiring design.

[0021] Another purpose of this invention is to offer the clock signal feeder which can be distributed, without generating a ultra high-speed clock signal for a phase shift etc.

[0022] Another purpose of this invention is that frequency bandwidth exceeds 1GHz with a very large optical transmission means, and offers the signal feeder which can supply a clock signal without a phase shift with a phase reference signal compared with an electrical connection means.

[0023]

[Means for Solving the Problem] This invention equips with optical waveguide wiring the tooth space between the electrode objects which connect a wiring substrate with a semiconductor chip in order to apply an optical wiring technique to the semiconductor device which carried out flip chip bonding of the semiconductor chip to the wiring substrate. Or a wiring substrate is connected with a semiconductor chip with the electrode object which goes via a through tube perpendicular to the principal plane of optical waveguide wiring.

[0024] Since according to the above-mentioned structure optical waveguide wiring was performed using the tooth space between electrode objects and the electric wiring layer and the optical wiring layer of each other are separated, arrangement of the electric wiring of a wiring substrate is not restrained by optical waveguide wiring. Interference does not take place like [in case electric wiring and optical waveguide wiring are intermingled in the same flat surface]. Many input/output terminals can be taken out from a semiconductor chip with the electrode object which penetrates an optical waveguide wiring layer, and electric wiring and optical waveguide wiring can be properly used according to an application.

[0025] Since the above-mentioned technical problem is solved, following equipment can be considered as an optical clock signal feeder.

[0026] The clock generator which generates the clock signal which has a certain frequency, and optical INTAKONEKUSHON which changes said clock signal into a lightwave signal, transmits to two or more predetermined distribution places, and is changed into an electrical signal at a transmission edge. A reference signal generation means to carry out dividing of the clock signal generated from said clock oscillator, and to generate an electrical signal, Electric INTAKONEKUSHON which transmits this electrical signal by which dividing generation was carried out to said two or more predetermined distribution place. Based on the reference signal transmitted to the electrical signal outputted from said optical INTAKONEKUSHON with this electrical connection means, at least that adjusts progress or delay of a phase and arranges a phase. It is the clock signal feeder constituted by having a phase adjustment means to output the clock signal which has a predetermined frequency and a predetermined phase to a low-ranking distribution place.

[0027] Moreover, in the above-mentioned clock signal feeder, a clock signal feeder equipped with an optical transmission means to supply said optical clock signal to said optical receiving means is also considered from an optical transmitting means to change into an optical clock signal the electric clock signal with which said optical INTAKONEKUSHON was outputted from said clock generator, an optical receiving means to change said optical clock signal into an electric clock

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.ejje

2005/10/03

[0005] In order to perform optical waveguide wiring in a flip chip mounting method, two kinds of methods of wiring from the side front or background of a semiconductor chip can be considered. However, in the semiconductor chip integrated highly, since calorific value is large, a radiation fin and a cooling channel are usually prepared in a chip background. Therefore, by the flip chip mounting method, optical waveguide wiring must be performed to a chip side front, i.e., wiring substrate, side.

[0006] The formation approach of the electric wiring to a wiring substrate and optical waveguide wiring is not concretely described by the conventional optical INTAKONEKUSHON technique mentioned above. For example, when both electric wiring and optical waveguide wiring are made intermingled in the same flat surface of a wiring substrate, the metal which accomplishes electric wiring does not penetrate light, but when the dielectric which accomplishes optical waveguide wiring does not conduct the electrical and electric equipment, if electric wiring is prepared on optical waveguide wiring, optical loss, a change on the strength [optical], etc. will take place. Therefore, there was a problem that arrangement of electric wiring and optical waveguide wiring received constraint mutually.

[0007] By the way, the thing of a publication is known by USP 5, 184, and 027 and USP5,043,596 about the clock signal feeder. In order that conventional equipment may reduce the skew of a clock signal and may automate a phase adjustment activity, it has a phase adjustment means at the distribution place of a clock signal, respectively, and is constituted. The clock signal and the phase reference signal which has a period longer than this are supplied with electrical connection means, such as a cable and a wiring substrate, to this phase adjustment means.

[0008] If such improvement in the speed to which it becomes indispensable requirements aiming at compaction of machine cycle time amount, i.e., improvement in the speed of a clock signal, progresses in order to high-performance-size actuation of a processor generally, the machine cycle time amount which will be 7 - 9ns at the first half of the 1990s will be set to 1 or less ns after the 2000s, and it will be expected that a clock signal with a frequency of 1GHz or more is needed.

[0009] However, in the conventional clock signal feeder, it was not designed in consideration of such a ultra high-speed clock signal.

[0010] A frequency band will be restricted with electrical connection means, such as a cable and a wiring substrate, by the effect of attenuation of the signal amplitude by the reactance, reflection by the impedance mismatch, a cross talk, etc.

[0011] Therefore, when the m [several] electric wiring length and the diameter of wiring several mm or less in a processor were taken into consideration with conventional equipment, it was very difficult to distribute a clock signal with a frequency of 1GHz or more.

[0012] As a method which distributes a clock signal with the conventional optical INTAKONEKUSHON technique, the distribution place of a clock signal is equipped with a photo detector, and the configuration which distributes the optical clock signal by which outgoing radiation was carried out from the light source with optical transmission means, such as an optical fiber, optical waveguide, a lens, and a hologram, is known, for example.

[0013] The frequency band of an optical transmission means is possible for it being markedly alike compared with electric INTAKONEKUSHON, and supplying an optical clock signal with a frequency of 1GHz or more to a distribution place, since it is large. However, consideration to generating of the optical-path-length difference according [the optical clock distributing system proposed from the former] to refractive-index distribution of an optical transmission means, aberration, an optical-axis gap, etc. and the skew according to the sensibility of a photo detector and the variation of a response characteristic further was not carried out.

[0014] That is, the frequency of a clock signal will be restricted by the skew with the conventional method.

[0015] The skew by the optical-path-length difference can be reduced among the above-mentioned skews by using the adjustable type optical delay line of a publication for JP.3-28912A.

[0016] However, since this method becomes spacing of two lenses mechanically manually, it has the problem to which an activity becomes very complicated.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.ejje

2005/10/03

JP.06-132516A [DETAILED DESCRIPTION]

4/19 ページ

signal, and said optical transmitting means.

[0028] Moreover, in a clock signal feeder, the clock signal feeder which carries out dividing of the clock signal which has said first frequency, and generates the reference signal below the frequency bandwidth of said electric INTAKONEKUSHON is sufficient as said reference signal generation means.

[0029] Moreover, a clock signal feeder equipped with the laser diode driving means which has the laser diode which oscillates said optical clock signal, and the function to change said electric clock signal into the drive current of this laser diode is sufficient as the above-mentioned optical transmitting means.

[0030] Furthermore, a clock signal feeder equipped with an optical amplification means by which the above-mentioned optical transmitting means amplifies said optical clock signal is also considered.

[0031] As said optical amplification means, the rare-earth-elements dope optical fiber amplifier by optical pumping, the semi-conductor optical amplifier by current excitation, etc. can be considered.

[0032] Moreover, a clock signal feeder equipped with the optical output control means which has the function to hold the signal amplitude of an optical clock signal to constant value is sufficient as the above-mentioned optical transmitting means.

[0033] An auto power control circuit can be considered as an optical output control means.

[0034] Moreover, a clock signal feeder equipped with the photodetector driving means which has the function to change into said electric clock signal the photocurrent signal with which the above-mentioned optical receiving means flows said optical clock signal to a ***** photodetector and this photodetector is also considered. Said photodetector can consider the configuration which is a photodiode.

[0035] Moreover, a clock signal feeder equipped with the band pass means against the frequency of said electric clock signal is sufficient as the above-mentioned optical receiving means.

[0036] Said band pass means can consider the configuration which is a band pass filter circuit.

[0037] Furthermore, the clock signal feeder constituted by having either an optical fiber and optical waveguide at least is sufficient as the above-mentioned optical transmission aberration means.

[0038] Moreover, the above-mentioned optical transmission means having at least one of a lens, a mirror, a hologram, and prism, and being constituted is also considered.

[0039] Moreover, a clock signal feeder equipped with an optical branching means to branch the optical clock signal with which the above-mentioned optical transmission means was transmitted is also considered.

[0040] Moreover, said optical branching means having at least one of an optical fiber mold star coupler, an optical waveguide mold star coupler, and beam splitters, and being constituted is also considered.

[0041] Moreover, the clock signal feeder which the above-mentioned optical transmission means equips with at least one of an optical-path conversion means, an optical focusing means, and optical isolation means is also considered.

[0042] In this case, said optical-path conversion means has at least one of a mirror, prism, and gratings, and is constituted, and said optical focusing means has at least one of a lens and gratings, and is constituted, and the means constituted by said optical isolation means having at least one of a partition, covering, and masks is also considered further.

[0043] Moreover, the clock signal feeder characterized by the optical clock signal by which incidence is carried out to the above-mentioned optical receiving means being beyond the minimum receiving optical output in the frequency of this optical clock signal is also considered by the above-mentioned optical transmitting means and the optical transmission means.

[0044] Moreover, a means to indicate below can be considered as a processor adapting this equipment. In the processor constituted by having the semi-conductor module constituted by having at least two or more semiconductor devices, and having the wiring substrate with which electrical connection of each semiconductor device of each other is carried out at least two or more The above-mentioned clock signal feeder is prepared. Said optical receiving means and

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.ejje

2005/10/03

said phase adjustment means It is the processor which supplies the clock signal which it is arranged at each semi-conductor module, and said optical receiving means detects the optical clock signal which branched through said optical branching means, and has a predetermined frequency and a predetermined phase to each semi-conductor module.

[0045] Moreover, the semi-conductor module constituted by having at least two or more semiconductor devices, and having the wiring substrate with which electrical connection of each semiconductor device of each other is carried out is set to the processor constituted by having at least two or more. The above-mentioned clock signal feeder is prepared. Said optical receiving means and said phase adjustment means It is arranged at each semiconductor chip, and said optical receiving means detects the optical clock signal which branched through said optical branching means, and the processor which supplies the clock signal which has a predetermined frequency and a predetermined phase to each semiconductor chip is also considered.

[0046] Furthermore, it is the processor equipped with the clock signal feeder, and the processor which established the optical receiving means and phase adjustment means in this feeder on the same substrate as the semi-conductor substrate which constitutes a processor is also considered.

[0047] Moreover, in the above-mentioned processor, said optical receiving means is formed in the semiconductor device which consists of silicon, and the processor whose wavelength of said optical clock signal is 1 micrometer or less is also considered.

[0048] Furthermore, in the above-mentioned processor, said optical receiving means which consists of a compound semiconductor is established on the semiconductor device which consists of silicon, and the processor whose wavelength of said optical clock signal is 1 micrometers or more is also considered.

[0049]

[Function] First, the electric clock signal made to output from a clock generator is changed into an optical clock signal by the optical transmitting means.

[0050] Through the sufficiently big optical transmission means (the optical waveguide in an example etc. is pointed out) of frequency bandwidth, it is transmitted to an optical receiving means and this optical clock signal is again changed into an electric clock signal by the optical receiving means.

[0051] That is, the clock signal which has a high frequency is transmitted as a lightwave signal, and, finally is changed into an electrical signal.

[0052] On the other hand, dividing of the electric clock signal outputted from the clock generator is carried out with a reference signal generation means, and it is transmitted to a predetermined distribution place as an electrical signal.

[0053] Furthermore, as for the second electrical signal by which dividing was carried out with said first electrical signal by which photo electric conversion was carried out, and said reference signal generation means, both are supplied to a phase adjustment means.

[0054] With a phase adjustment means, using the standup or falling of the first electrical signal and the second electrical signal, the time amount gap between both signals (phase shift) is detected, for example, the phase of both signals is arranged using a delay circuit etc.

[0055] Moreover, a phase adjustment means supplies the clock signal by which phase adjustment was carried out to this appearance to a low-ranking distribution place.

[0056] As [restrict / the frequency of a clock signal / like before / therefore, / by electric interconnection bandwidth.]

[0057] That is, the clock signal feeder which supplies the clock signal which has a high frequency, and does not produce the phase shift between clocks, either can be offered.

[0058] Thus, by the conventional method, the equipment with which the skew (the thing of the "phase shift" of a clock signal in LSI in a clock distribution place is called in this way below) of the optical clock signal which was not able to be realized does not influence a distribution place can be offered.

[0059] In case wiring for clock signal supply applies this equipment to the various processors in long equipment, for example, a mainframe computer, and ***** especially, it is effective.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje

2005/10/03

coating or a film etc.

[0068] At the 3rd process, as shown in drawing 3, cladding layers 103 and 105 and a core layer 104 are exposed using a photo mask 106. In the translucent part of a photo mask 106, photosensitive polymer is exposed by ultraviolet rays and photopolymerization is performed alternatively. In addition, after exposure, the refractive index of a core layer 104 becomes higher than the refractive index of cladding layers 103 and 105.

[0069] At the 4th process, as shown in drawing 3 d, by removing the unexposed section by development, patterning of cladding layers 103 and 105 and the core layer 104 is carried out, and optical waveguide wiring is formed. An electrode 102 is exposed at this time.

[0070] At the 5th process, as shown in drawing 3 e, the electrode 108 of a semiconductor chip 107 and the electrode 102 of the multilayer-interconnection layer 101 are connected by the solder bump 109.

[0071] In the semiconductor device manufactured as mentioned above, a lightwave signal spreads a core layer 104 and an electrical signal spreads a wiring layer 101.

[0072] Although the clad showed two-layer and the core showed the example of optical waveguide wiring of one layer in the above-mentioned manufacture process, the example of the structure of some optical waveguide wiring is shown in drawing 4 a-d.

[0073] Drawing 4 a is the ridge mold waveguide 121 which consists of the core 121 formed on the electric wiring layer 120. Drawing 4 b is the waveguide by which the core 123 was sandwiched by clads 122 and 124 from the 2-way as well as the waveguide shown in drawing 3. Drawing 4 c is the pad mold waveguide by which the core 126 was surrounded by the clad 125 from three directions. Fig. 4d of drawing 4 is the pad mold waveguide by which the core 128 was surrounded by the clad 128 from the four way type.

[0074] Although a manufacture process becomes complicated as it dies to the direction of drawing 4 a to d, the propagation loss of waveguide decreases. It is decided with spacing and distance of optical waveguide wiring any are chosen among these.

[0075] By the way, although the 1st example showed the case where optical waveguide wiring crossed in the shape of a grid, by changing the pattern of the photo mask in drawing 3 c, for example, as shown in drawing 5, branching and a deviation of a lightwave signal can be performed, the electric wiring layer 201 is being connected to the semiconductor chip 200 by the bump 202, and the optical waveguide wiring 203 on a wiring layer 201 is formed among bumps 202. A lightwave signal is branched or deflected in 220 or 221 by the reflector to which it inclined 45 degrees to the optical axis, respectively.

[0076] When transmitting and receiving between optical waveguide wiring and a semiconductor chip, a mirror as shown in drawing 6 is prepared, and optical waveguide wiring which changes from the multilayer-interconnection layer 231, and cladding layers 232 and 234 and a core layer 233 to the front face of the wiring substrate 230 is formed. The electrode 235 of a wiring layer 231 and the electrode 237 of the semiconductor chip 240 with which the circuit 241 was formed are being connected by the solder bump 235. Incidence of the lightwave signal is carried out to the photo detector section 242 formed in the semiconductor chip 240 by the mirror 238 from optical waveguide wiring. Incidence of the lightwave signal which carried out outgoing radiation from the light emitting device section 243 is carried out by the mirror 239 to optical waveguide wiring.

[0077] The above-mentioned mirror can be formed by using a photo mask as shown in drawing 7 a-c in a photolithography processes already stated, for example to drawing 3 c. That is, the clads 250 and 252 which consist of photosensitive polymer, and a core 251 are exposed through photomask 253 which changed the amount of protection from light to GUREDEDO. Since the depth of the exposed part changes corresponding to the amount of protection from light at this time, after developing negatives, as shown in drawing 7 b, an inclined plane, i.e., a mirror, is formed. The metallic reflection film 254 as further shown in drawing 7 c through a photolithography processes is formed to raise a reflection factor.

[0078] Next, drawing 8 and drawing 9 explain the example which applied optical waveguide wiring of this invention to clock signal supply. In drawing 8 and 9, two or more silicon semiconductor devices 200 and silicon wiring substrates 205 are mounted in the package which consists of the

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje

2005/10/03

[0060]

[Example] The example of this invention is explained with a drawing.

[0061] Drawing 1 is drawing showing the semiconductor device of the 1st example of this invention. Drawing 2 is the sectional view of the A-A' side of drawing 1. In drawing 1 and drawing 2, flip chip bonding of a semiconductor chip 1 and the wiring substrate 2 is carried out. The optical waveguide wiring 5 is formed in the tooth space between the electrode objects 4, and the wiring layer 3 of the wiring substrate 2 is connected with the semiconductor chip 1 by the electrode object 4 which goes via the inside of the through tube 7 perpendicular to the principal plane 6 of the optical waveguide wiring 5.

[0062] A semiconductor chip 1 and the wiring substrate 2 are silicon or a compound semiconductor. A circuit and the optical component sections (a surface emission-type laser, photo diode, etc.) are formed in the field by the side of the wiring substrate 2 of a semiconductor chip 1. Wiring layers 3 are metals (Cu, aluminum, etc.) and insulators (polyimide, glass, etc.). The electrode objects 4 are metal bumps (Pb-Sn solder, Au, etc.). A mirror or a grating for consisting of a dielectric (polyimide, glass, etc.) and combining the optical waveguide wiring 5 with the optical component section etc. is formed.

[0063] After the optical waveguide wiring 5 forms a wiring layer 3 in the wiring substrate 2, it is formed in the front face of a wiring layer 3 by approaches, such as spreading or vacuum evaporation. Patterning of the optical waveguide wiring 5 and formation of a through tube 7 are performed by approaches, such as photolithography. The field which has a circuit in the position of the wiring substrate 2 in the semiconductor chip 1 with which the electrode object 4 was formed beforehand is carried by face down, and the wiring substrate 2 is electromechanically connected with a semiconductor chip 1 by fusing the electrode object 4. The location gap between the optical component section of a semiconductor chip 1 and the optical waveguide wiring 5 is canceled by basing-on surface tension which electrode object 4 by which melting was carried out has self-alignment operation, and optical coupling is ensured.

[0064] According to **** 1 example, it is effective in the ability to perform optical INTAKONEKUSHON by the high speed and broadband optical waveguide, after connecting many electric input/output terminals of the electric wiring of the wiring layer 3 interior, and a semiconductor chip 1. Arrangement of a wiring layer 3 or the electrode object 4 is not restrained by arrangement of the optical waveguide wiring 5. For example, when optical waveguide wiring is performed in 20-micrometer pitch between the electrode objects 4 of 200-micrometer pitch, the electrical connection of 2500 pins and the optical waveguide wiring 5 of about 400 can be picked out from the semiconductor chip 1 of 1cm angle. The optical waveguide wiring 5 is used for broadcasting wiring (for example, pass wiring, clock wiring, etc.) or long-distance wiring (for example, I/O with the equipment exterior etc.), and if a wiring layer 3 is used for other signal wiring, power-source wiring, etc., it can harness the special feature of electric wiring and optical waveguide wiring. Since it is prepared in the side by which the optical waveguide wiring 5 faces the substrate 2 of a chip 1 about cooling of a semiconductor chip 1, cooling from the opposite side is not barred. Since a self-alignment operation of the electrode object 4 can be used for the optical component section of a semiconductor chip 1, and the optical coupling of the optical waveguide wiring 5, they do not need to do a complicated optical-axis doubling activity. In addition, although grid-like wiring [optical waveguide] is formed in this example, it can be regarded as wiring which a lightwave signal did not interfere in the intersection and became independent, respectively.

[0065] Drawing 3 a-e explains an example of the manufacture process of a semiconductor device.

[0066] At the 1st process, first, as shown in drawing 3 a, the multilayer-interconnection layer 101 and an electrode 102 are formed in the front face of the wiring substrate 100. This wiring layer 101 is formed coating of interlayer insulation films, such as polyimide, vacuum evaporation or plating of metal wiring of aluminum, copper, etc., and by repeating patterning by photolithography.

[0067] At the 2nd process, as shown in drawing 3 b, the cladding layers 103 and 105 which consist of photosensitive polymer, and a core layer 104 are formed by the approach of sticking

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje

2005/10/03

ceramics wiring substrate 207 and a water cooled jacket 210, and constitute the Si-on-Si module. The semiconductor device 200 is carried in the wiring substrate 205 with the bare chip, and high density assembly is possible for it. Each semiconductor device 200 is the distribution place of a clock signal.

[0079] The optical receiving circuit 201 is formed in the semiconductor device 200 with the LSI circuit at the monolithic. The semiconductor device 200 is being connected to the wiring substrate 205 by the solder bump 202. The polymer optical waveguide wiring 203, and the Cu / polyimide multilayer-interconnection layer 204 are formed in the wiring substrate 205. Since the optical waveguide wiring 203 is formed in the tooth space between the solder bumps 202, it does not bar the electrical connection of a semiconductor device 200 and a wiring layer 204. The wiring layer 204 is connected to the multilayer system ceramics wiring substrate 207 through TAB206. The I/O pin 208 is connected to the wiring substrate 207. A semiconductor device 200 pours water in the channel 211 of the water-cooled example jacket 210, and is cooled. The closure of the semiconductor device 200 is carried out by the water cooled jacket 210, the frame 214, and the wiring substrate 207.

[0080] With an optical fiber 302, the optical clock signal by which outgoing radiation was carried out through the optical sending circuit from the source 300 of a clock signal is led to the above-mentioned module, and is supplied to the optical receiving circuit 201 of each semiconductor device 200 through the optical fiber 212 and the optical waveguide wiring 203 which were stored in the ferrule 213. Since the optical receiving circuit 201 is formed in the semiconductor device 200 made from silicon, in consideration of the band gap of silicon, the wavelength of an optical clock signal is set as 1 micrometer or less. After the ferrule 213 made from ceramics adjusts the fitting location to a wiring layer 203, closure immobilization of it is carried out at the frame 214. The optical waveguide wiring 203 is equipped with branching wiring which was stated to drawing 5, and is equipped with a mirror which was stated to the part corresponding to the optical receiving circuit 201 by drawing 6. A circuit pattern is a fractal which has an equal distance H-tree configuration at two or more distribution places, and a clock signal becomes almost in phase to each semiconductor chip 200.

[0081] Drawing 10 is drawing showing the semiconductor device of the 3rd example of this invention. Flip chip bonding of two or more semiconductor chips 21 is carried out to the wiring substrate 22 (here, not shown [the electrode object]). The optical waveguide wiring 23 is formed in the tooth space between electrode objects. The bus connection of each semiconductor chip 21 is carried out to the optical waveguide wiring 23 by the control circuit 24. The control circuit 24 is formed in the silicon wiring substrate 22.

[0082] According to **** 3 example, in the connection between chips when there are very many semiconductor chips 21, it is effective. Although a limitation is located in electric wiring in a wiring number or a band, mass lightwave signal transmission can be performed by establishing a multiplexing circuit in each semiconductor chip 21. Moreover, clo spa connection can be made by using an optical switch as substitution of a control circuit 24.

[0083] In the above example, arrangement of optical waveguide wiring to a semiconductor chip and a wiring substrate is important, and it cannot be overemphasized that it is effective also to a printed circuit board besides a silicon substrate, a multilayer ceramics substrate, etc. as a wiring substrate. According to the purpose of use, it can choose from polyimide, glass, a semiconductor, etc. as an optical waveguide ingredient, and guided wave structure and the mode of propagation can be designed. Moreover, although optical waveguide wiring was formed in the front face of a wiring substrate in the example, optical waveguide wiring can be performed also by the approach of the approach of carrying the optical waveguide substrate manufactured separately from a wiring substrate on a wiring substrate, printing, shaping, etc.

[0084] The block diagram of the clock signal feeder of four examples is shown in drawing 11. [0085] From the phase adjuster 1010 which adjusts the phase of the clock generator 1001 clock signal which generates a clock signal, and a clock generator 1001, this example has electric INTAKONEKUSHON 1008 which supplies a reference signal to a phase adjuster 1010, and consists of a reference signal generation machine 1008 which generates optical INTAKONEKUSHON 1022 which supplies a clock signal to a phase adjuster 1010, and the

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi_ejje

2005/10/03

reference signal used for phase adjustment from a clock signal, and a reference signal generation machine 1006.

[0086] The distribution place 1009 of a clock signal and a reference signal is equipped with the distributor 1014 which has phase adjuster 1010 and supplies the clock signal by which phase adjustment was carried out to the low-ranking distribution place 1015. Furthermore, optical INTAKONEKUSHON 1002 has the optical transmitter 1003, the optical receiver 1004, and an optical transmission line 1005, and is constituted.

[0087] The optical transmitter 1003 changes into an optical clock signal the electric clock signal outputted from the clock generator 1001.

[0088] The optical receiver 1004 is a means to change an optical clock signal into an electric clock signal.

[0089] An optical transmission line 1005 transmits and supplies an optical clock signal from the optical transmitter 1003 at the optical receiver 1004.

[0090] The optical transmitter 1003 is realized by a light emitting device, drive circuits, etc., such as a laser diode and solid state laser.

[0091] What is necessary is just to use the external optical modulator using excitation control of laser oscillation, mode locking, and the electro-optical effect etc. for "ultra high-speed" optoelectronics, Baifukan, and the 1991 issue "like a publication, for example as an approach of changing into an optical clock signal the electric clock signal outputted from the clock generator 1001."

[0092] The optical receiver 1004 is realized by a photo detector and drive circuits, such as a photodiode and a photograph conductor.

[0093] In the distribution place 1009, the electric clock signal by which light / electric conversion was carried out with the optical receiver 1004 is supplied to a phase adjuster 1010.

[0094] Generally, it is possible to perform "the electrical and electric equipment / optical conversion" in the optical transmitter 1003, and "the light / electric conversion" in the optical receiver 1004 in a frequency band 100GHz or more.

[0095] In addition, what is necessary is just to set the optical output of the optical transmitter 1003 as a value by which the optical clock signal beyond the minimum reception output in a clock frequency is supplied to the optical receiver 1004 in consideration of the transmission loss of an optical transmission line 1005, joint loss, branching loss, etc.

[0096] An optical transmission line 1005 is realized by the optical system using optical devices, such as optical waveguide using an optical fiber, a slab mold, or channel mold optical waveguide or a lens, a hologram, a mirror, and prism, corresponding to the mounting environment of equipments, such as a processor to which four examples are applied.

[0097] In order to supply optical clock ** to two or more distribution places 1009, the optical transmission machine 1005 has an optical turnout, and is constituted.

[0098] An optical turnout is realizable with for example, star PUKARRA, a power splitter, broadcasting optical system, etc. Moreover, the configuration which combined many optical turnouts is also considered. In this case, according to the number of the distribution places 1009, it opts for the configuration of an optical turnout so that the optical clock signal of a predetermined amplitude signal may be supplied to the optical receiver 1004.

[0099] Moreover, although the transmission band width of face of an optical transmission line 1005 becomes more than 1T (Hz-m) with an optical fiber depending on wiring distance, this value turns into sufficient value for distribution of an optical clock signal.

[0100] The reference signal generation machine 1006 generates the reference signal in the frequency bandwidth of electric INTAKONEKUSHON 1008 based on the clock signal supplied from a clock generator 1001.

[0101] For example, it is constituted like an approach given in JP.2-168308.A etc. by the counting-down circuit which connected the flip-flop circuit 1007 to the serial. Moreover, although the reference signal generation machine 1006 is equipped with the output-buffer circuit to which a year fan-out is made to increase, constitutes and is in order to supply a reference signal to two or more distribution places 1009, although illustration is not carried out, this buffer circuit is not an indispensable component that what is necessary is just to prepare if

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2005/10/03

chosen, and when an input value is "0", the small signal path of a time delay is chosen.

[0118] What is necessary is just to unite the phase of a clock signal with the phase of a reference signal by such control.

[0119] A distributor 1014 supplies the clock signal amended by the phase adjuster 1010 to the distribution place 1015, and feeds back a part of output to a phase comparator 1011 for phase adjustment.

[0120] A distributor 1014 has for example, an output-buffer circuit, a counting-down circuit, etc., and is constituted. For example, the clock signal which has a predetermined frequency and a predetermined phase is generated by carrying out dividing of the clock signal supplied from the adjustable delay machine 1012 in the distribution place 1015 when a polyphase clock signal is required.

[0121] According to the clock signal feeder of the 4th example, the clock signal which carried out the product from generating from the clock generator 1001 is supplied to the distribution place 1009 by INTAKONEKUSHON 1002. On the other hand, the reference signal generated from the clock signal will be supplied to the distribution place 1009 through electric INTAKONEKUSHON 1008 with the reference signal generation vessel 1006.

[0122] And the phase of a clock signal is arranged with the phase of a reference signal by phase tone **** 1010 which it has in the distribution place 1009.

[0123] Thus, the clock signal by which phase adjustment was carried out is supplied to the low-ranking distribution place 1015 through a distributor 1014.

[0124] Since the frequency bandwidth of optical INTAKONEKUSHON 1002 is very wide, it becomes possible [that the clock signal exceeding the frequency bandwidth of conventional electric INTAKONEKUSHON is supplied by distribution 1009].

[0125] Since the phase adjustment between signals is easy as compared with optical INTAKONEKUSHON 1002, electric INTAKONEKUSHON 1008 can supply the reference signal with which the phase gathered to a phase adjuster 1010.

[0126] That is, it becomes possible to adjust the phase of a clock signal with a sufficient precision.

[0127] Therefore, according to this example, it becomes possible to supply ultra high-speed and the small clock signal of a skew to the distribution place 1015.

[0128] Next, the optical transmitter 1003 and the optical receiver 1004 in the clock signal feeder shown in the 4th example are explained.

[0129] The configuration of the optical transmitter 1003 of the clock signal feeder which is the 5th example is shown in drawing 12. The optical transmitter 1003 concerning this example ** the optical amplifier 1022 which amplifies the optical clock signal by which outgoing radiation was carried out, and the optical output controller 1023 which holds the signal amplitude of an optical clock signal uniformly, and consists of a laser diode 1020, its drive circuit 1021, and a laser diode 1020.

[0130] A laser diode 1020 consists of semiconductor devices, and has small and an advantage with simple handling compared with the light sources, such as a solid-state and gas laser.

[0131] As a laser diode 1020, the refractive-index guided wave mold, distribution feedback type laser, etc. of large common knowledge of frequency bandwidth can be considered from a well-known gain guided wave mold.

[0132] As a drive circuit 1021, although the well-known gain switching method, the mode said periphery method, an external light modulation method, etc. can be considered, the configuration has adopted the simple direct modulation method.

[0133] The drive circuit 1021 changes into a laser modulation current the electric clock signal generated from **** 1001 from a clock, superimposes this on the direct-current bias current of a predetermined value, and pours it into a laser diode 1020. What is necessary is just to use other driving means by the direct modulation method, to extend bandwidth further, although about 10GHz modulation bandwidth is obtained.

[0134] As an optical amplifier 1012, ** is good using the progressive wave mold semi-conductor optical amplifier of the common knowledge which has the magnification bandwidth of 1THz or more, for example. It has the advantage that this amplifier is small compared with a rare earth

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2005/10/03

needed.

[0102] Electric INTAKONEKUSHON 1008 is chosen according to mounting conditions, for example, consists of a coaxial cable, a printed-circuit board, a ceramics wiring substrate, a solder bump, etc. Typically, the chip 1 of drawing 1 corresponds to the distribution place 1009 of drawing 11, and INTAKONEKUSHON 1005 and 1008 of light and the electrical and electric equipment includes the optical supply between the photoelectricity connection to which it results in the wiring substrate 2 (drawing 1), wiring in a wiring substrate, wiring substrate top waveguide, a bump, and a CHIPPUJ wiring substrate.

[0103] It is necessary to arrange load conditions, wiring distance, etc. with a sufficient precision beforehand in order to supply the reference signal with which the phase was equal to the distribution place 1009 existing [two or more], for example, as indicated by JP.2-168308.A 5184027 and USP 5043596. Thereby, the propagation delay time of electric INTAKONEKUSHON 1008 is controlled, and the phase of the reference signal in the distribution place 1009 is arranged.

[0104] Generally, although several GHz-m of the transmission band width of face of electric INTAKONEKUSHON 1008 is limitations, since the frequency of a reference signal is in the bandwidth of electric INTAKONEKUSHON 1008, it is satisfactory.

[0105] A phase adjuster 1010 adjusts the phase of a supply **** clock signal from the optical receiver 1004 based on the reference signal supplied from electric INTAKONEKUSHON 1008.

[0106] As the phase adjustment approach, various kinds of approaches can be considered according to a clock frequency, clock signal adjustment width of face, etc. For example, what is necessary is just to use the approach indicated by JP.2-168308.A USP5184027 and USP5043596. In this case, to the phase of the adjustable delay machine 1012 which receives supply of a clock signal from optical INTAKONEKUSHON 1002, and the reference signal supplied from electric INTAKONEKUSHON 1008, a phase adjuster 1010 has the phase comparator 1011 with which at least that of the clock signal supplied via the adjustable delay machine 1012 detects progress or the delay of a phase, and the delay controller 1013 which controls the time delay of the adjustable delay machine 1012 based on progress or delay of a phase, and is constituted.

[0107] A phase comparator 1011 has the set-reset flip-flop circuit which carried out cross connection of the NOR circuit of 2, and is constituted.

[0108] The phase of the clock signal fed back to a phase comparator 1011 via the adjustable delay machine 1012 and a distributor 1014 from the optical receiver 1004 is compared to the phase of a reference signal, and the signal pulse of high level or a low level is outputted to the delay controller 1013 corresponding to progress or delay of a phase.

[0109] It outputs to the adjustable delay machine 1013.

[0110] The adjustable delay machine 1012 has the multistage selector circuit which connected the signal path from which propagation delay time differs, and is constituted.

[0111] What is necessary is just to use an OR circuit, a differential circuit, a tee lei line, etc. for this signal path. By choosing change ***** for a selector circuit, a time delay is changed and the phase of a clock signal is adjusted. A time delay is controlled by the delay controller 1013.

[0112] The number of stages of a selector circuit, the travelling period of a signal path, etc. are set up in consideration of the adjustable width of face corresponding to a clock frequency, and time resolution.

[0113] The delay controller 1013 has an updown counter and is constituted.

[0114] In a phase comparator 1011, when the signal of a clock signal is progressing from the reference signal, an output pulse is made high-level, and when conversely behind, an output pulse is made into a low level.

[0115] An updown counter counts up per [1] high-level pulse, and counts down per [1] pulse of a low level conversely.

[0116] The output terminal of each digit in a binary number counter is respectively connected with an input terminal in each stage of the selector circuit of the adjustable delay machine 1012.

[0117] In each selector circuit, when an input value is "1", the big signal path of a time delay is

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2005/10/03

dope optical fiber (optical fiber which doped rare earth elements, such as erbium, is called) mold optical amplifier.

[0135] It depends for magnification gain on an exciting current. The value of an exciting current is set up in consideration of the optical output of a laser diode 1020, loss of an optical transmission line 1005, the receiving sensibility of the optical receiver 1004, etc. When the optical output to the optical receiver 1004 is insufficient, it is also possible to make an optical amplifier 1022 the configuration which it had just before the mid-position of an optical transmission line 1005 or the optical receiver 1004.

[0136] Moreover, the optical output controller 1013 has a differential amplifying circuit realizable [with electron devices such as a transistor,], and is constituted.

[0137] The optical output controller 1013 is a circuit which detects a part of laser diode 1020 and optical output of an optical amplifier 1022, and controls the drive current of a laser diode 1020 and an optical amplifier 1022 by the difference of this power of test electrical potential difference and reference voltage.

[0138] Thereby, since the amplitude value of an optical clock signal is kept constant, a lightwave signal is detectable to stability with the optical receiver 1004.

[0139] According to this example, with the small and simple drive circuit 1021 and an optical amplifier 1022, if an optical clock signal is transmitted, it can **.

[0140] With an optical amplifier 1022, the optical clock signal which has sufficient signal amplitude beyond the minimum ready-for-receiving ability optical output can be supplied to the optical receiver 1004.

[0141] Moreover, compared with the case where a transmitting optical output is made to increase, large frequency bandwidth can be obtained by driving a laser diode 1020 with a large amplitude current.

[0142] Furthermore, with the optical output controller 1023, since an optical output signal is stabilized, a signal-decision error does not arise in the optical receiver 1004.

[0143] Drawing 13 is the block diagram of the optical receiver 1004 in a clock signal feeder.

[0144] The optical receiver 1004 has photograph tee TEKUTA 1031 which detects an optical clock signal, its drive circuit 1032, the band pass machine 1033 to a clock frequency, and the signal-decision machine 1034, and consists of this examples.

[0145] What is necessary is just to use small and a photodiode with simple treatment as photograph tee TEKUTA 1031, for example.

[0146] There are a pin mold photodiode, an avalanche mold photodiode which has a photocurrent magnification operation as photodiode.

[0147] It is more desirable to adopt a pin photodiode with easier manufacture than an avalanche mold photodiode, when the optical clock signal of sufficient magnitude is supplied, as drawing 12 explained.

[0148] It has the bias circuit which impresses a reverse bias electrical potential difference to a photodiode, and the amplifier circuit which amplifies the photocurrent generated with the optical clock signal which carried out incidence to the light-receiving side, and the drive circuit 1032 is also constituted.

[0149] To a clock frequency, the load resistance of the junction capacitance of a photodiode, applied voltage, and the drive circuit 1032 etc. is set up so that it may have sufficient bandwidth.

[0150] What is necessary is just to usually set up small light-receiving area and depletion-layer width of face in a pin mold photodiode, when you need a broadband further although bandwidth with an extent of several 10GHz is obtained. However, according to this, it is necessary to raise the optical-axis doubling precision of the optical transmission line 1005 to a photodetector 1031, and to gather the amplification factor of the drive circuit 1032.

[0151] A band pass filter should just be used for the band pass machine 1033. This filter has a filter circuit realizable [with various kinds of electron devices, such as a transistor KONTENSA, and resistance,], and is constituted.

[0152] This filter removes the noise which has low-pass or the frequency of a high region from a clock frequency. To a noise, when the output of an optical KURROKU signal is sufficiently large,

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2005/10/03

it is not necessary to prepare.

[0153] The signal-decision machine 1034 is a circuit which slices the output signal of the drive circuit 1032 which has passed the band pass machine 1033 with predetermined signal level, and takes out the electric clock signal of predetermined signal amplitude by this.

[0154] According to the 6th operation region, small and simple photograph tee TEKUTA 10331 enables it to detect an optical clock signal.

[0155] Since the optical receiver 1004 is formed to each of the distribution place 1009, when using under a high density environment, it becomes important [a small thing].

[0156] With an actuator 1032 and the signal-decision vessel 1034, the photocurrent which photograph tee TEKUTA 1031 detected is convertible for an electric clock signal.

[0157] Since the band pass machine 1033 removes the noise of a detection current, it can supply a clock signal with sufficient reliance to the distribution place 1009.

[0158] Thus, small and simple equipment enables it to supply an about 10GHz ultra high-speed clock signal by combining the means of the 5th example and the 6th example.

[0159] The 7th example of this invention is shown in drawing 14.

[0160] Cross-section structural drawing of a processor is shown in drawing 14 about the processor to which this example applied the clock signal feeder of point aa.

[0161] The processor has pointed out the thing of equipment which has the function to perform predetermined signal processing here.

[0162] The processor of this example has two or more semi-conductor modules, and is constituted.

[0163] Drawing 14 shows one of modules [them].

[0164] Moreover, such a processor is built in a mainframe and used. In drawing 14, a semi-conductor module has two or more semiconductor device 1101, wiring substrates 1103 and 1106, and water cooled jacket 110 grades, and is constituted.

[0165] The semiconductor device 1101 and the solder bump 1102 (the thing of the projection electrode of minute solder like a ball ball is called) in whom the LSI circuit was formed connect with the multilayer system (it is name of ceramics ingredient sequence) ceramics wiring substrate 1103, and the package closure of the 6th example is carried out with the high Al-N cap (cap made from nitriding aluminum) 1104.

[0166] The package constituted by having the wiring substrate 1103 and cap 1104 is being connected to the multilayer system multilayer ceramics wiring substrate 1106 by the solder bump 1105. Moreover, although not illustrated, the modular I/O pin 1107 is connected to the multilayer printed circuit board.

[0167] Here, the water-cooled method is adopted as cooling of a semiconductor device 1101. A semiconductor device 1101 is cooled through a radiation fin 1108 the channel 1111 of a water cooled jacket 1110, and by pouring water to bellows 1109. Closure immobilization of a water cooled jacket 1110 and the frame 1112 is carried out to the multilayer ceramic wiring substrate 1106.

[0168] A water cooled jacket 1110, bellows 1109, and a frame 1112 are for example, the products made from a covar alloy, and a radiation fin 1108 is for example, a product made from nitriding aluminum.

[0169] It has the optical receiver 1004 constituted by the semi-conductor module which is the distribution place 1009 having a photodiode 1120 and a semiconductor device 1122, and the phase adjuster 1010 which consists of semiconductor devices 1122.

[0170] Flip chip bonding of the pin mold InGaAs system photodiode 1120 is done to the GaAs system semiconductor device 1122 by the solder bump 1121. The semiconductor device 1122 is connected to the wiring substrate 1106 through the I/O pin 1126.

[0171] The closure of a photodiode 1120 and the semiconductor device 1122 is carried out to the package constituted by having the base 1123, a frame 1125, and the glass cap 1124.

[0172] A package is cooled through the heat-conduction block 1127 and a water cooled jacket 1110.

[0173] For example, it was outputted from the optical transmitter 1003, the optical clock signal of wavelength 1.3 (micrometer) is supplied to the photodiode 1120 which is the optical receiver

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2005/10/03

receiver 1004 which consists of an electronic circuitry constituted by having the mold photodiode 1141 and FET, and the phase adjuster 1010 which consists of an electronic circuitry constituted by similarly having FET are formed on the same substrate.

[0189] The package closure of OEIC1140 is carried out like a semiconductor device 1101, and it is cooled through the cap 1104 and the radiation fin 1108.

[0190] Now, for example, it was outputted from the optical transmitter 1003, incidence of the optical clock signal of wavelength 0.8 (micrometer) is carried out to a photodiode 1141 via an optical transmission line 1005.

[0191] An optical transmission line 1005 has an optical fiber 1143 and a lens 1142, and is constituted.

[0192] The optical fiber 1143 is covered with the ferrule 1144 which penetrates the wiring substrate 1106. Optical-axis setting optical FAIBA 1143, a lens 1142 and a lens 1142, and a photodiode 1141 is respectively performed automatically by the solder bumps' 1102 and 1105 self-alignment operation.

[0193] That is, a solder bump becomes ball shape with the surface tension of **** solder. If the location of a chip has shifted to the substrate, since a solder bump's form will be distorted, the self-aligning is going to become round, surface tension will work, a location gap will be amended, and a self-alignment operation arises.

[0194] Although not illustrated, the multilayer printed circuit board to which a module is connected is equipped with the connector of the I/O pin 1107 and a ferrule 1144, respectively, and these can carry out insert and remove (take out and insert a modular pin to a printed-circuit board) to coincidence.

[0195] A reference signal is supplied to OEIC1140 via electric INTAKONEKUSHON 1008 from the reference signal generation machine 1006. Electric INTAKONEKUSHON 1008 has an electrical cable, a printed-circuit board, the I/O pin 1107, the wiring substrate 1106, and the solder bumps 1102 and 1105, and is constituted.

[0196] Based on a reference signal, the clock signal by which phase adjustment was carried out with OEIC1140 is supplied to two or more semiconductor devices 1101 which are the low-ranking distribution places 1015 through a distributor 1014 and the wiring substrates 1106 and 1103.

[0197] Since according to **** 8 example the optical receiver 1004 and the phase adjuster 1010 are formed on the same substrate in OEIC1140 and are being connected to the wiring substrates 1103 and 1106 by the solder bumps 1102 and 1105 of low capacity, still larger frequency bandwidth is obtained compared with the 7th example.

[0198] An optical clock signal is supplied to the phase adjuster 1010 of OEIC1140 via an optical transmission line 1005 (optical fiber 1143 grade) and the optical receiver 1004 (this example OEIC1140).

[0199] A reference signal is supplied to a phase adjuster 1010 via electric INTAKONEKUSHON 1008 (the wiring substrates 1106 and 1103, the solder bump 1105, 1102 grades).

[0200] The clock signal adjusted in the phase adjuster 1010 is supplied to two or more semiconductor devices 1101 which are the distribution places 1015 by the distributor 1014.

[0201] Although the installation location of a phase adjuster 1010 was restricted near the frame 1121 of a semi-conductor module in the 7th example, it can install in a desired location in the **** 8 example.

[0202] Since OEIC1140 is contained by the semiconductor device 1101 and the common package, it is suitable for mounting structure. Moreover, it is also possible to omit a complicated optical-axis doubling activity with an optical transmission line 1005 and a photodiode 1141 according to the solder bumps' 1102 and 1105 self-alignment operation.

[0203] Moreover, since cooling of **** 8 example and a water-cooled method is adopted compared with heat-conduction cooling in the 7th example, it becomes possible to cool OEIC1140 efficiently.

[0204] Drawing 16 is cross-section structural drawing of the processor which applied the clock signal feeder of the 9th example concerning this invention.

[0205] The processor of this example has and constitutes two or more Si-on-Si modules

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2005/10/03

1004 via an optical transmission line 1005. An optical transmission line 1005 has optical fibers 1130 and 1133, prism 1135, and a lens 1136, and is constituted.

[0174] The single mode optical fiber 1130 with a diameter of 125 micrometers is protected by covering 1131, and is equipped with the optical connector 1132 of plastic goods molding at the tip.

[0175] An optical connector 1132 is connected to the receptacle 1134 of plastic goods molding using a fitting pin.

[0176] With the glass prism 1135, the optical path is changed, it is condensed by the frame 1112 by the glass lens 1136 by which closure immobilization was carried out, and the optical clock signal which has spread the optical fiber 1133 in a receptacle 1134 penetrates cap 1124, and it carries out incidence to the light-receiving side of a photodiode 1120.

[0177] After a receptacle 1134 and prism 1135 perform optical-axis doubling, they are fixed to a frame 1112.

[0178] The photocurrent generated by the light which the photodiode 1120 detected is changed into an electric clock signal by the optical receiver 1004 formed in the semiconductor device 1122. An electric clock signal is supplied to the phase adjuster 1010 currently formed in the same semiconductor device 1122.

[0179] On the other hand, the phase reference signal outputted from the reference signal generation machine 1006 is supplied to a semiconductor device 1122 via electric INTAKONEKUSHON 1008. Electric INTAKONEKUSHON 1008 has an electrical cable, a printed-circuit board, the I/O pin 1107, the wiring substrate 1106, and the I/O pin 1126, and is constituted.

[0180] The propagation-delay time of electric INTAKONEKUSHON 1008 is easy to become equal to the semiconductor device 1122 of the semi-conductor module which is each distribution place 1009 — it is alike and is set up.

[0181] The phase adjuster 1010 of a semiconductor device 1122 performs phase doubling of a clock signal to a reference signal.

[0182] The clock signal by which phase adjustment was carried out turns into a polyphase clock signal by which dividing was carried out with the distributor 1014. A polyphase clock signal is supplied to two or more semiconductor devices 1101 which are the low-ranking distribution places 1015 through the I/O pin 1126 and the wiring substrates 1106 and 1103.

[0183] It is a preparation about the optical receiver 1004 and a phase adjuster 1010, without barring the mounting structure of the high density of the semi-conductor module which is the distribution place 1009 according to **** 7 example — a configuration is realizable. That is, a clock signal is supplied via [at least in the phase with which the semiconductor device 1122 was equipped] an optical transmission line 1005 (an optical fiber 1130, lens 1136 grade) and the optical receiver 1004 (a photodiode 1120 and semiconductor device 1122) in the adjustment bag 1010, and a reference signal is supplied from the reference signal generation machine 1006 via electric INTAKONEKUSHON 1008 (the wiring substrate 1106, I/O pin 1126 grade).

[0184] Moreover, the clock signal adjusted by the phase adjuster 1010 is supplied to two or more semiconductor devices 1101 which are the low-ranking distribution places 1015 via the distributor 1014 and wiring substrate 106 grade which are prepared on the semiconductor device 1122.

[0185] Thus, the ultra high-speed clock signal of a predetermined frequency and a predetermined phase can be supplied to two or more semiconductor devices 1101 in a semi-conductor module.

[0186] A ultra high-speed large scale computer is realizable by carrying out synchronous operation of many semiconductor devices 11101 using the processor explained in the **** 7 example.

[0187] Drawing 15 is cross-section structural drawing of the processor which applied the clock signal feeder of the 8th example concerning this invention. Unlike the 7th example, in the semi-conductor module which is the distribution place 1009, OEIC (Optoelectronic Integrated Circuit) 1140 of a piece has the optical receiver 1004 and the phase adjuster 1010.

[0188] In the GaAs system OEIC 1140, it is MSM (Metal-semiconductor-Metal). The optical

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2005/10/03

compared with the module of the 7th example and the 8th example that high density assembly should be further made possible.

[0206] Si-on-Si says the thing of the mounting method which connects the LSI chip made from silicon on the wiring substrate made from silicon.

[0207] In drawing 16, two or more semiconductor devices 1200 made from silicon and the wiring substrate 1205 made from silicon have the ceramics wiring substrate 1207 and a water cooled jacket 1210, are constituted, and the Si-on-Si module is mounted in the package.

[0208] Since a semiconductor device 1200 is carried in the wiring substrate 1205 with a bare chip, compared with the 7th and 8th example, more, mounting of high density is attained and it can constitute a large-sized chip. In this example, one semiconductor device 1200 will be equivalent to the distribution place 1009 of the clock signal in the first example.

[0209] Optical reception and a phase adjuster 1201 are formed on the same substrate with the LSI circuit at the semiconductor device 1200.

[0210] The semiconductor device 1200 is being connected to the wiring substrate 1205 by the solder bump 1202.

[0211] The polyimide (for example, diamine and carboxylic acid are the macromolecule structures which carried out polymerization to shape of straight chain by imide radical) system optical waveguide wiring 1203 which is an optical transmission line 1005, and the Cu / polyimide multilayer-interconnection layer 1204 which is electric INTAKONEKUSHON 1008 are formed in the wiring substrate 1205. The optical waveguide wiring 1203 is ** which does not produce trouble in the electrical connection of a semiconductor device 1200 and a wiring layer 1204 since it is prepared in the tooth space between the solder bumps 1202 as drawing 17 is shown.

[0212] A wiring layer 1204 is connected to the wiring substrate 1207 of MURAI system ceramics by TAB (Tape Automated Bonding) 1206, and this wiring substrate 1207 is connected to the I/O pin 1208.

[0213] A semiconductor device 1200 can be cooled by pouring water into the channel 1211 of a water cooled jacket 1210 like the 7th and 8th example.

[0214] The closure of the semiconductor device 1200 is carried out by the water cooled jacket 1210, the frame 1214, and the wiring substrate 1207.

[0215] An optical clock signal is supplied to optical reception and the phase adjustment means 1201 via an optical transmission line 1005. Since optical reception and a phase adjuster 1201 are formed in the semiconductor device 1200 made from RISHIKON, it sets the wavelength of an optical clock signal below to one (micrometer) in consideration of the band gap of silicon.

[0216] An optical transmission line 1005 has the optical fiber 1212 covered with the ferrule 1203, and the optical wave director wiring 1203, and is constituted.

[0217] After the ferrule 1213 made from ceramics adjusts a fitting location to a wiring layer, closure immobilization of it is carried out with a frame 1214.

[0218] As shown in 18, not using a ferrule 1213, it is possible to combine the core 1224 of an optical fiber 1212 and the optical waveguide wiring 1203 with the wiring substrate 1205 using V groove 1223 formed by anisotropic etching, and to also make light spread.

[0219] Optical waveguide wiring 1203 is considered as the configuration equipped with the optical turnout 1220 and the optical-path converter 1221 grade as shown in drawing 17 in order to lead an optical clock signal to the optical reception and the phase adjuster 1201 arranged at predetermined ****.

[0220] Moreover, the optical waveguide wiring 1203, and optical reception and a phase adjuster 1201 may have the function in which the mirror 1222 as shown in drawing 19 performs optical coupling.

[0221] Optical-axis setting the above optical device is performed by the solder bump's 1202 self-alignment operation.

[0222] Now, a reference signal is supplied to a phase adjuster 1201 via electric INTAKONEKUSHON 1008.

[0223] Electric INTAKONEKUSHON 1008 has the I/O pin 1208, the wiring substrate 1207, TAB1206, and a wiring layer 1204, and is constituted.

[0224] The clock signal with which the phase was adjusted is supplied to a distributed part 1015

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.eje

2005/10/03

in a semiconductor device 1200 through the wiring layer of the front face of a semiconductor device 1200.

[0225] Without restricting the operation gestalt also in the semi-conductor module by which high density assembly was carried out further from the 7th and 8th example according to ~~see~~ 9 example, a clock signal is supplied to optical reception and the phase adjuster 1201 of each semiconductor device 1200 by the optical transmission line 1005 (an optical fiber 1212, optical waveguide wiring 1203 grade), and a reference signal is supplied to it by electric INTAKONEKUSHON 1008 (the wiring substrate 1207, wiring layer 1204 grade).

[0226] The clock signal after phase adjustment is supplied to the distribution place 1015 of the semiconductor device 1200 interior from optical reception and a phase adjuster 1201.

[0227] Thus, the ultra high-speed clock signal which has a predetermined cycle way and a predetermined phase can be distributed to the semiconductor device 1200 large-sized interior.

[0228] Drawing 20 is cross-section structural drawing of the processor which applied the clock signal feeder of the 10th example concerning this invention.

[0229] The processor of the 10th example has the wafer scale in length gray SHON ("WSI" is called) component 1300 of a large area, and is constituted.

[0230] The closure of the WSI component 1300 is carried out to the base 1306, frames 1303 and 1304, and the module constituted by having cap 1310.

[0231] The distribution place 1009 of the clock signal shown in the 4th example is formed in two or more predetermined locations on the WSI component 1300.

[0232] Two or more optical reception and phase adjusters 1301 are formed on the same substrate at the WSI component 1300 made from silicon. The WSI component 1300 is connected to the I/O pin 1305 by TAB1302.

[0233] In order to cool the WSI component 1300, the air-cooling fin is formed in the base 1306 made from the ceramic made from Cu-W.

[0234] In addition, WSI is "Wafer-Scale-Integration". Things are said, and as for Book WSI, a circuit will be formed in the whole wafer although the usual LSI chip cuts down and manufactures a semi-conductor wafer.

[0235] The optical clock signal of wavelength 0.8 (micrometer) is supplied to optical reception and a phase adjuster 1301 via an optical transmission line 1005.

[0236] An optical transmission line 1005 has an optical fiber 1315 and optical waveguide 1311, and is constituted.

[0237] By connecting an optical connector 1316 to a receptacle 1314, optical FAIBA 1315 and optical waveguide 1311 are combined, and light spreads.

[0238] Here, optical waveguide 1311 is formed on the glass cap 1310.

[0239] The optical clock signal which spreads optical waveguide 1311 is distributed to optical reception and a phase adjuster 1301 by the grating couplers 1312 and 1313.

[0240] A reference signal is supplied to optical reception and a phase adjuster 1301 through electric INTAKONEKUSHON 1008. Electric INTAKONEKUSHON 1008 has the wiring layer of the I/O pin 1305, TAB1302, and WSI component 1300 front face, and is constituted.

[0241] The clock signal by which phase adjustment was carried out with optical reception and a phase adjuster 1301 is supplied to the distribution place 1015 of the WSI component 1300 interior.

[0242] Therefore, according to this example, the ultra high-speed clock signal which has a predetermined frequency and a predetermined phase can be supplied to two or more fields of the WSI component 1300 of a large area.

[0243] Drawing 21 is the cross-section structure of the processor which applied the clock signal feeder of the 11th example concerning this invention.

[0244] The processor in ~~****~~ 11 example has two or more WSI component 1320 boundaries, and is constituted.

[0245] By carrying out stack mounting of the WSI component 1320, the WSI module with a much more big scale is constituted compared with the 10th example.

[0246] Each WSI component 1320 is equivalent to the distribution place 1009 of the clock signal in the 4th example.

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.ejje

2005/10/03

macro cell through a wiring layer 1341.

[0268] Therefore, according to ~~****~~ 12 example, the ultra high-speed clock signal which has a phase in predetermined can be distributed to the interior of the macro cell of the WSI component 1340.

[0269] As mentioned above, although this invention was explained with reference to the drawing, the summary becomes possible [supplying the ultra high-speed clock signal with which the phase gathered at a distribution place] by those with **, and this invention supplying the frequency information on a clock signal by light, and supplying the topology of a clock signal with the electrical and electric equipment.

[0270] If it is the example which consists of requirements for a configuration with which this summary is filled, it is not restricted to the above-mentioned example to a word.

[0271] [Effect of the Invention] The requirements for this invention are in arrangement of optical waveguide wiring to a semiconductor chip and a wiring substrate. It is effective also to a printed circuit board besides a silicon substrate, a multilayer ceramics substrate, etc. as a wiring substrate. According to the purpose of use, as an optical waveguide ingredient, it can choose from polyimide, glass, a semi-conductor, etc., and guided wave structure and the mode can be designed. Moreover, although optical waveguide wiring was formed in the front face of a wiring substrate in the example, optical waveguide wiring can be prepared also by approaches, such as an approach of carrying the optical waveguide substrate manufactured separately from a wiring substrate on a wiring substrate, printing, and formation.

[0272] Since the frequency bandwidth of an optical connecting means is very wide compared with an electrical connection means, the clock signal exceeding 1GHz can be supplied. Furthermore, since the propagation delay time of an electrical connection means is easily controllable by the optical connecting means, it can supply a clock signal without a phase shift with a phase reference signal.

[Translation done.]

[0247] The optical receiver 1004 and a phase adjuster 1010 are formed in the position of the WSI component 1320 made from silicon.

[0248] The optical receiver 1004 can be manufactured by carrying out heteroepitaxial growth of the InP system semi-conductor to silicon.

[0249] Furthermore, the WSI component 1320 is being connected to the wiring substrate 1322 made from silicon by the solder bump 1321. In addition to the multilayer-interconnection layer, the channel for cooling the WSI component 1320 is formed in the wiring substrate 1322 made from silicon of anisotropic etching.

[0250] The wiring substrate 1322 is connected to the multilayer ceramics wiring substrate 1324 by TAB1323, and the wiring substrate 1324 is connected to the wiring substrate 1324 of other WSI components 1320, or the multilayer ceramic wiring substrate 1326. Closure immobilization of a frame 1325 and the cap 1328 is carried out at the wiring substrate 1326.

[0251] The clock signal which the clock generator 1001 generated is supplied to the optical transmitting means 3 which consists of OEIC1330 of an InP system through the I/O pin 1333.

[0252] It is outputted from OEIC1330, and an optical clock signal spreads an optical transmission line 1005, and is supplied to the predetermined WSI component 1320.

[0253] An optical transmission line 1005 has the WSI component 1320 of the glass cap 1328 and two or more [1322 or] wiring substrates, and is constituted.

[0254] The drive circuit is formed on the same substrate, and the closure is carried out with a package 1331 and cap 1328, and it serves as for example, a field luminescence laser diode at OEIC1330 with the configuration cooled with a radiation fin 1332.

[0255] In addition, since there is transparency ~~*****~~ about the wiring substrate 1322 of the WSI component 1320 made from silicon and the product made from silicon, in consideration of the band gap of silicon, the wavelength of an optical clock signal is set up more than 1.0 (micrometer). [clock signal / optical]

[0256] A reference signal is supplied to the WSI component 1320 via electric INTAKONEKUSHON 1008.

[0257] Electric INTAKONEKUSHON 1008 has the I/O pin 1327, the wiring substrates 1326 and 1324, TAB1323, the wiring substrate 1322, and the solder bump 1321, and is constituted.

[0258] The clock signal by which phase adjustment was carried out based on the reference signal is supplied to the distribution place 1015 in the WSI component 1320.

[0259] Therefore, according to ~~****~~ 11 example, in the large-scale and the quantity accumulation processor which carried out stack mounting of the WSI component 1320, the ultra high-speed clock signal with which the phase was equal to the predetermined field inside the predetermined WSI component 1320 can be supplied.

[0260] Drawing 22 is the perspective view of the structure of the processor which applied the clock signal feeder of the 12th example concerning this invention.

[0261] In this example, a processor also has the WSI component 1340 and is constituted.

[0262] It is divided into the circuit formed on the WSI component 1340 at ~~****~~ shown by the dotted line in drawing 22, and two or more macro cells. This macro cell is equivalent to the distribution light 1009 of the clock signal in the 4th example.

[0263] Optical reception and the phase adjustment circuit 1343 are formed in each macro cell.

[0264] The multilayer-interconnection layer 1341 is formed in the front face of the WSI component 1340, and the optical waveguide wiring 1342 is further formed on it.

[0265] The optical clock signal 1344 branches with the optical waveguide wiring 1342, and is led to optical reception and the phase adjustment circuit 1343.

[0266] The through tube is formed, and although incidence is carried out to a circuit, in order that the synchrotron orbital radiation which leaks from the optical waveguide wiring 1342 to parts other than a through tube may protect, the black mask film is formed in a part of wiring layer 1341 of the front face of optical reception and the phase adjustment circuit 1343 as an optical isolation means.

[0267] a reference signal — a wiring layer 1341 — optical reception and a phase — a stroke — a circuit 1343 is supplied. The clock signal by which phase adjustment was carried out in optical reception and the phase adjustment circuit 1343 is distributed to the allocation place 1015 in a

http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web.cgi.ejje

2005/10/03

• NOTICES •

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] The sectional view of the 1st example of this invention.
- [Drawing 2] The **** Fig. of the A-A' line of drawing 1.
- [Drawing 3] Drawing of the manufacture process of a semiconductor device.
- [Drawing 4] Drawing of the structure of optical waveguide wiring.
- [Drawing 5] Drawing showing branching or the deviation approach of optical waveguide wiring.
- [Drawing 6] Drawing showing the configuration of a mirror required for the optical connection between a wiring substrate and a semiconductor chip.
- [Drawing 7] Drawing showing a photolithography processes for creating a mirror.
- [Drawing 8] The sectional view of the 2nd example of this invention showing the configuration for the clock signal distribution using optical waveguide wiring.
- [Drawing 9] The plan of the 2nd example of this invention.
- [Drawing 10] The plan of the 3rd example of this invention.
- [Drawing 11] The block diagram of the clock signal feeder of the 4th example of this invention.
- [Drawing 12] The block diagram of the optical transmitting means which is the 5th example of this invention.
- [Drawing 13] The block diagram of the optical receiving means which is the 6th example of this invention.
- [Drawing 14] Cross-section structural drawing of the processor which applied the clock signal feeder which is the 7th example of this invention.
- [Drawing 15] Cross-section structural drawing of the processor which applied the clock signal feeder which is the 8th example of this invention.
- [Drawing 16] It is cross-section structural drawing of the processor which applied the clock signal feeder which is the 9th example of this invention.
- [Drawing 17] Top-face structural drawing for explaining the optical wiring means which is the 8th example of this invention.
- [Drawing 18] Strabism structural drawing concerning this invention showing other optical wiring means.
- [Drawing 19] The explanatory view of other optical wiring means concerning this invention.
- [Drawing 20] Cross-section structural drawing of the processor which applied the clock signal feeder which is the 10th example of this invention.
- [Drawing 21] Cross-section structural drawing of the processor which applied the clock signal feeder which is the 11th example of this invention.
- [Drawing 22] Cross-section structural drawing of the processor which applied the clock signal feeder which is the 12th example of this invention.

[Translation done.]

SEMICONDUCTOR DEVICE AND CLOCK SIGNAL SUPPLIER

Patent Number: JP6132516
Publication date: 1994-05-13
Inventor(s): KATO TAKESHI; others: 04
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP6132516
Application Number: JP19930198158 19930810
Priority Number(s):
IPC Classification: H01L27/15; H01L21/60
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide an optical wiring technique suitable for a flip chip mounting method, relating to a semiconductor device equipped with a semiconductor chip and a wiring substrate.

CONSTITUTION: Relating to a semiconductor device wherein a semiconductor chip 1 and a wiring substrate 2 are flip-flop connected together, an optical wave guide wiring 5 is provided in a space within an electrode body 4. By this, the electric wiring of the wiring substrate and assignment of the optical wave guide wiring do not constrain with each other, so these are used properly according to applications, further, can be utilized for optical clock signal supply.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-132516

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/15		8934-4M		
21/60	3 1 1 S	6918-4M		
// H 0 1 L 23/538			H 0 1 L 23/ 52	A

審査請求 未請求 請求項の数35(全 22 頁)

(21)出願番号	特願平5-198158	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成5年(1993)8月10日	(72)発明者	加藤 猛 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
(31)優先権主張番号	特願平4-213954	(72)発明者	藤田 祐治 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
(32)優先日	平4(1992)8月11日	(72)発明者	水石 賢一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
(33)優先権主張国	日本(JP)	(74)代理人	弁理士 小川 勝男
(31)優先権主張番号	特願平4-236169		
(32)優先日	平4(1992)9月3日		
(33)優先権主張国	日本(JP)		

最終頁に続く

(54)【発明の名称】 半導体装置およびクロック信号供給装置

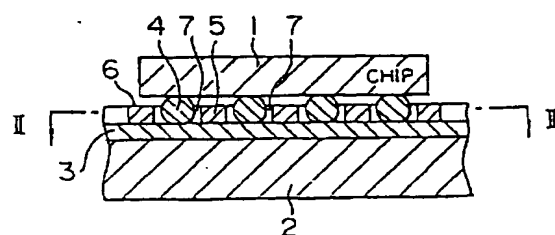
(57)【要約】

【目的】 半導体チップと配線基板を備える半導体装置に関して、フリップチップ実装方式に適した光配線技術を提供する。

【構成】 半導体チップ1と配線基板2がフリップフロップ接続された半導体装置において、電極体4の間のスペースに光導波路配線5を備える。

【効果】 配線基板の電気配線と光導波路配線の配置が互いに制約を受けず、これらを用途に応じて使い分けることができ、光クロック信号供給にも利用し得る。

図1



【特許請求の範囲】

【請求項1】半導体チップを配線基板にフリップチップ接続した半導体装置において、前記半導体チップと前記配線基板を接続するための二次元に配列された複数の電極体と、前記複数の電極体間のスペースに光導波路を備える半導体装置。

【請求項2】前記光導波路の主面に垂直な方向に設けられた貫通孔の内に置かれた前記複数の電極体によって前記半導体チップと前記配線基板フリップチップ接続される請求項1記載の半導体装置。

【請求項3】前記半導体チップは前記光導波路に接続される信号配線を有し、前記配線基板に接続される信号配線および電源配線を有する請求項1記載の半導体装置。

【請求項4】受光素子およびクロック受信回路を備える半導体チップ光導波路によってクロック信号を分配する請求項1記載の半導体装置。

【請求項5】発光／受光素子および発光／受光回路を備える半導体チップを光導波路によってバス接続する請求項1記載の半導体装置。

【請求項6】前記電極体は金属バンパである請求項1記載の半導体装置。

【請求項7】前記配線基板は、クロック信号を受け取り前記光導波路へ導く光インタコネクションと、前記クロック信号から分周された電気基準信号を受け取り前記複数の電極体の一つに与える電気インタコネクションを有し、前記半導体チップは、該分周生成された電気信号を所定の分配先まで伝送する電気インタコネクションと、該電気インタコネクションにて伝送される基準信号に基づいて前記光インタコネクションから出力されるクロック信号の位相の進みまたは遅れを調整して位相を揃え、下位の分配先へ所定の周波数と位相を有するクロック信号を出力する位相調整手段を有して構成される請求項1記載の半導体装置。

【請求項8】前記光インタコネクションは、クロック発振器から出力された電気クロック信号を光クロック信号に変換する光送信手段と、前記光クロック信号を電気クロック信号に変換する光受信手段と、前記光送信手段から前記光受信手段に前記光クロック信号を供給する光伝送手段を備える請求項7記載の半導体装置。

【請求項9】前記第一の周波数を有するクロック信号を分周して、前記電気インタコネクションの周波数帯域幅以下の基準信号を生成する基準信号生成手段を有する請求項7記載の半導体装置。

【請求項10】前記光送信手段は、前記光クロック信号を発振するレーザダイオードと、前記電気クロック信号を該レーザダイオードの駆動電流に変換する機能を有す

るレーザダイオード駆動手段を備える請求項8記載の半導体装置。

【請求項11】前記光送信手段は、前記光クロック信号を増幅する光増幅手段を備えることを特徴とする請求項8記載の半導体装置。

【請求項12】前記光増幅手段は、光励起による希土類元素ドープ光ファイバ増幅器および電流励起による半導体光増幅器のいずれかである請求項11記載の半導体装置。

【請求項13】前記光送信手段は、光クロック信号の信号振幅を一定値に保持する機能を有する光出力制御手段を備える請求項8記載の半導体装置。

【請求項14】前記光出力制御手段は、オートパワーコントロール回路である請求項13記載の半導体装置。

【請求項15】前記光受信手段は、前記光クロック信号を検出すフォトディテクタと、該フォトディテクタに流れる光電流信号を前記電気クロック信号に変換する機能を有するフォトディテクタ駆動手段を備える請求項8記載の半導体装置。

【請求項16】前記フォトディテクタは、フォトダイオードである請求項15記載の半導体装置。

【請求項17】前記光受信手段は、前記電気クロック信号の周波数に体する帯域通過手段を備える請求項8記載の半導体装置。

【請求項18】前記帯域通過手段は、バンドパスフィルタ回路である請求項17記載の半導体装置。

【請求項19】前記光伝送手段は、光ファイバおよび光導波路のいずれかを有する請求項8記載の半導体装置。

【請求項20】前記光伝送手段は、レンズ、ミラー、ホログラム、およびプリズムのうち少なくとも一つを有して構成される請求項8記載の半導体装置。

【請求項21】前記光伝送手段は、伝送された光クロック信号を分岐する光分岐手段を備える請求項8記載の半導体装置。

【請求項22】前記光分岐手段は、光ファイバ型スターカップラ、光導波路型スターカップラ、およびビームスプリッタのうち少なくとも一つを有する請求項21記載の半導体装置。

【請求項23】前記光伝送手段は、光路変換手段、光集束手段、および光隔離手段のうち少なくとも一つを備える請求項8記載の半導体装置。

【請求項24】前記光路変換手段は、ミラー、プリズム、およびグレーティングのうち少なくとも一つを有して構成され、

また、前記光集束手段は、レンズ、およびグレーティングのうち少なくとも一つを有して構成され、さらに、前記光隔離手段は、パーティション、カバー、およびマスクのうち少なくとも一つを有して構成される請求項23記載の半導体装置。

【請求項25】前記光送信手段および光配線手段によ

り、前記光受信手段に照射される光クロック信号は、該光クロック信号の周波数における最小受信光出力以上である請求項8記載の半導体装置。

【請求項26】ある周波数を有するクロック信号を発生するクロック発振器と、前記クロック信号を光信号に変換し、複数の所定分配先まで伝送し、伝送端にて電気信号に変換する光インタコネクションと、前記クロック発振器から発生されたクロック信号を分周し電気信号を生成する基準信号生成手段と、該分周生成された電気信号を前記複数の分配先まで伝送する電気インタコネクションと、前記光インタコネクションから出力される電気信号の該電気インタコネクションにて伝送される基準信号に基づいて位相の進みまたは遅れを調整して位相を揃え、下位の分配先に、所定の周波数と位相を有するクロック信号を出力する位相調整手段を有して構成されるクロック信号供給装置。

【請求項27】前記光インタコネクションは、前記クロック発振器から出力された電気クロック信号を光クロック信号に変換する光送信手段と、前記光クロック信号を電気クロック信号に変換する光受信手段と、前記光送信手段から前記光受信手段に前記光クロック信号を提供する光伝送手段を備える請求項26記載のクロック信号供給装置。

【請求項28】前記光送信手段は、前記光クロック信号を発振するレーザダイオードと、前記電気クロック信号を該レーザダイオードの駆動電流に変換する機能を有するレーザダイオード駆動手段を備える請求項27記載のクロック信号供給装置。

【請求項29】前記光伝送手段は配線基板上に設けられる光導波路を有し、前記光受信手段、前記位相調整手段は半導体チップ上に設けられており、前記電気インタコネクションは、前記配線基板と前記半導体チップを電氣的及び機械的に接続する複数のバンプ手段を有し前記光導波路は前記配線基板と前記半導体チップの間において前記複数のバンプ手段間のスペースによって前記クロック発振器から前記半導体チップへ光クロック信号を供給するよう前記光送信手段と光受信手段間に介在する請求項27記載のクロック信号供給装置。

【請求項30】前記光送信手段は、前記光クロック信号を増幅する光増幅手段を備えることを特徴とする請求項27記載のクロック信号供給装置。

【請求項31】前記光増幅手段は、光励起による希土類元素ドーパ光ファイバ増幅器および電流励起による半導体光増幅器のいずれかである請求項30記載のクロック信号供給装置。

【請求項32】前記光送信手段は、光クロック信号の信号振幅を一定値に保持する機能を有する光出力制御手段を備える請求項27記載のクロック信号供給装置。

【請求項33】前記基準信号生成手段は、前記第一の周波数を有するクロック信号を分周して、前記電気インタ

コネクションの周波数帯域幅以下の基準信号を生成する請求項26記載のクロック信号供給装置。

【請求項34】前記光受信手段および前記位相調整手段は、各半導体モジュールに配置されるものであり、前記光受信手段は、前記光分岐手段を介して分岐された光クロック信号を検出し、各半導体モジュールに対して所定の周波数と位相を有するクロック信号を供給する請求項29記載のクロック信号供給装置。

【請求項35】該供給装置における光受信手段および位相調整手段は、プロセッサを構成する半導体基板と同一の基板上に設けた請求項34記載のクロック信号供給装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体チップと配線基板を備える半導体装置における光インタコネクション技術に関し、特に大型コンピュータ等の超高速プロセッサにおけるクロック信号供給装置に関する。

【0002】

20 【従来の技術】半導体装置が大規模化するに伴い、半導体チップの高密度実装と入出力端子吸うの増加が求められている。この要求を満たすため、米国出願シリアル番号695, 597号をベースとした特開昭61-17738号公報に記載のようなフリップチップ実装方式が用いられている。この実装方式では、半導体チップを配線基板へバンプ電極によって接続する。半導体チップ表面全体に電極を設けることができ、多端子接続が可能である。

30 【0003】また、半導体装置内の動作が高速化するに伴い、配線基板の電気配線の伝播遅延時間やクロストークが問題になっている。これを解決するため、プロシーディングス オブ ザ アイ・イー・イー・イー、第72巻、第77号、第850頁から第866頁、1984年(Proceedings of The IEEE, vol.72, no.7, pp.850-866, 1984)、プロシーディングス オブ エス・ビー・アイ・イー第836巻、オプトエレクトロニック マテリアルズ、デバイセス、パッケージング アンド インターコネクツ、第343頁から第350頁、1987年(Proceedings of SPIE vol.836, Optoelectronic Materials, Devices, Packaging and Interconnects, pp.343-350, 1987)、プロシーディングス オブ エス・ビー・アイ・イー第991巻、ファイバー オプティック データコム アンド コンピュータ ネットワークス、第4頁から第11頁、1988年(Proceedings of SPIE vol.991, Fiber Optic Datacom and Computer Networks pp.4-11, 1988)、USP4, 762, 382に記載のような光インタコネクション技術が知られている。これらの光インタコネクション技術では、半導体チップ間を光導波路配線によって接続する。光導波路配線には電気配線のような容量や抵抗による時定数の増加や誘導によるクロ

ストークがないので、高速・広帯域な配線が可能であると言われている。

【0004】

【発明が解決しようとする課題】半導体チップには、信号配線のほか電源配線やクロック配線などのための多数の入出力端子が不可欠である。光導波路配線は上述したように電気配線に比べて高速・広帯域であるという利点があるが、そのサイズを波長オーダー以下まで微細化することはできない。また、光電変換時間による遅延を考慮すると、光導波路配線は或る配線距離以上でなければ電気配線より有利にならない。したがって、配線基板の電気配線を全て光導波路配線に置き換えることは不利であり、或る程度の電気入出力端子数を確保した上で光導波路配線を行う必要がある。電気配線と光導波路配線を両立させるには、多端子の電気接続が可能なフリップチップ実装方式に対して光インタコネクション技術を適用することが有望である。

【0005】フリップチップ実装方式において光導波路配線を行うには、半導体チップの表側或いは裏側から配線する2通りの方法が考えられる。しかし、高集積化された半導体チップでは発熱量が大きいので、チップ裏側には通常放熱フィンや冷却チャネルが設けられる。したがって、フリップチップ実装方式では、チップ表側、すなわち、配線基板側に光導波路配線を行わなければならない。

【0006】上述した従来の光インタコネクション技術では、配線基板への電気配線と光導波路配線との形成方法については具体的に述べられていない。例えば、配線基板の同一平面内に電気配線と光導波路配線の両方を混在させた場合には、電気配線を成す金属は光を透過せず、光導波路配線を成す誘電体は電気を通さない上、光導波路配線上に電気配線を設けると光損失や光強度変化などが起こる。したがって電気配線と光導波路配線の配置が互いに制約を受けるという問題があった。

【0007】ところで、クロック信号供給装置に関しては、USP5、184、027、USP5、043、596に記載のものが知られている。従来の装置は、クロック信号のスキューを低減し、位相調整作業を自動化するため、クロック信号の分配先に、それぞれ位相調整手段を有して構成されている。かかる位相調整手段に対して、クロック信号と、これより長い周期を有する位相基準信号を、例えば、ケーブル、配線基板等の電気接続手段によって供給している。

【0008】一般にプロセッサの動作を高性能化するためには、マシンサイクル時間の短縮、すなわちクロック信号の高速化を図ることが必須の要件となるこのような高速化が進むと、1990年代前半で7~9nsであるマシンサイクル時間は、2000年代以降に1ns以下になり、1GHz以上の周波数のクロック信号が必要になると予想される。

【0009】しかしながら、従来のクロック信号供給装置では、このような超高速クロック信号を考慮して設計されていなかった。

【0010】ケーブル、配線基板等の電気接続手段では、リアクタンスによる信号振幅の減衰、インピーダンスミスマッチによる反射、クロストーク等の影響により周波数帯域が制限されてしまう。

【0011】したがって、従来の装置では、プロセッサにおける数メートルの電気配線長と数ミリメートル以下の配線径を考慮すると、1GHz以上の周波数のクロック信号を分配することは、非常に困難であった。

【0012】従来の光インタコネクション技術によってクロック信号を分配する方式としては、例えば、クロック信号の分配先に光検出素子を備え、光源から出射された光クロック信号を光ファイバ、光導波路、レンズ、ホログラムなどの光伝送手段により分配する構成が知られている。

【0013】光伝送手段の周波数帯域は、電気インタコネクションに比べて格段に広いため、1GHz以上の周波数の光クロック信号を分配先に供給することは可能である。しかし、従来から提案されてきた光クロック分配方式は、光伝送手段の屈折率分布、収差、光軸ずれ等による光路長差の発生、さらに、光検出素子の感度、応答特性のバラツキによるスキューに対する考慮はされていない。

【0014】すなわち、従来方式のままでは、クロック信号の周波数がスキューによって制限されてしまうことになる。

【0015】上記スキューのうち光路長差によるスキューは、例えば特開平3-28912号公報に記載の可変式光学的遅延線を用いることにより低減することができる。

【0016】しかし、この方式は2枚のレンズの間隔を手動で機械的に変化させるので作業が非常に煩雑になる問題がある。

【0017】例えば、日系エレクトロニクス、1990年12月10日号、第226頁から第241頁記載の高密度で実装された大型コンピュータに適用した場合、狭い実装スペースにおいて人手で光路長を個別に調整することは、至難である。

【0018】また、この方式では依然として光検出素子によるスキューを低減することはできない。

【0019】本発明の目的は、フリップチップ実装方式における電気配線と両立する光配線技術を提供することにある。その際、電気配線と光導波路配線の適切な配置および役割分担、光導波路配線と光素子部の結合方法、配線形成方法などへの考慮をとまう。

【0020】本発明の別の目的は電気配線と光導波路配線の配置が互いに制約されることがなく、電気配線と光導波路配線を用途に応じて使い分けることができ、配線

10

20

30

40

50

設計の高い自由度を有する信号供給装置を提供することである。

【0021】本発明の別の目的は、超高速のクロック信号を、位相ずれ等が発生させずに分配可能なクロック信号供給装置を提供することにある。

【0022】本発明の別の目的は周波数帯域幅が、電気接続手段に比べ非常に広い光伝送手段により、1GHzを超え、位相基準信号によって位相ずれのないクロック信号を供給することができる信号供給装置を提供することである。

【0023】

【課題を解決するための手段】本発明は、半導体チップを配線基板にフリップチップ接続した半導体装置に光配線技術を適用するため、半導体チップと配線基板を接続する電極体間のスペースに光導波路配線を備えたものである。または、光導波路配線の主面に垂直な貫通孔を経由する電極体によって半導体チップと配線基板を接続したものである。

【0024】上記構造によれば、電極体間のスペースを利用して光導波路配線が行われ、電気配線層と光配線層は互いに分離しているため、配線基板の電気配線の配置が光導波路配線によって制約されることがない。電気配線と光導波路配線が同一平面内に混在する場合のように干渉が起こることがない。光導波路配線層を貫通する電極体により半導体チップから多数の入出力端子を取り出すことができ、用途に応じて電気配線と光導波路配線を使い分けることができる。

【0025】上記課題を解決するため、光クロック信号供給装置としては、以下の装置が考えられる。

【0026】ある周波数を有するクロック信号を発生するクロック発振器と、前記クロック信号を光信号に変換し、複数の所定分配先まで伝送し、伝送端にて電気信号に変換する光インタコネクションと、前記クロック発振器から発生されたクロック信号を分周し電気信号を生成する基準信号生成手段と、該分周生成された電気信号を前記複数所定分配先まで伝送する電気インタコネクションと、前記光インタコネクションから出力される電気信号へ該電気接続手段にて伝送される基準信号に基づいての位相の進みまたは遅れを調整して位相を揃え、下位の分配先に、所定の周波数と位相を有するクロック信号を出力する位相調整手段を有して構成されるクロック信号供給装置である。

【0027】また、上記クロック信号供給装置において、前記光インタコネクションは、前記クロック発振器から出力された電気クロック信号を光クロック信号に変換する光送信手段と、前記光クロック信号を電気クロック信号に変換する光受信手段と、前記光送信手段から前記光受信手段に前記光クロック信号を供給する光伝送手段を備えるクロック信号供給装置も考えられる。

【0028】また、クロック信号供給装置において、前

記基準信号生成手段は、前記第一の周波数を有するクロック信号を分周して、前記電気インタコネクションの周波数帯域幅以下の基準信号を生成するクロック信号供給装置でもよい。

【0029】また、上記光伝送手段は、前記光クロック信号を発振するレーザダイオードと、前記電気クロック信号を該レーザダイオードの駆動電流に変換する機能を有するレーザダイオード駆動手段を備えるクロック信号供給装置でもよい。

10 【0030】さらに、上記光伝送手段は、前記光クロック信号を増幅する光増幅手段を備えるクロック信号供給装置も考えられる。

【0031】前記光増幅手段としては、光励起による希土類元素ドープ光ファイバ増幅器、電流励起による半導体光増幅器等が考えられる。

【0032】また、上記光伝送手段は、光クロック信号の信号振幅を一定値に保持する機能を有する光出力制御手段を備えるクロック信号供給装置でもよい。

20 【0033】光出力制御手段としては、オートパワーコントロール回路が考えられる。

【0034】また、上記光受信手段は、前記光クロック信号を検出すフォトディテクタと、該フォトディテクタに流れる光電流信号を前記電気クロック信号に変換する機能を有するフォトディテクタ駆動手段を備えるクロック信号供給装置も考えられる。前記フォトディテクタは、フォトダイオードである構成が考えられる。

【0035】また、上記光受信手段は、前記電気クロック信号の周波数に対する帯域通過手段を備えるクロック信号供給装置でもよい。

30 【0036】前記帯域通過手段は、バンドパスフィルタ回路である構成が考えられる。

【0037】さらに、上記光伝送収差手段は、少なくとも光ファイバ、および光導波路のいずれかを有して構成されるクロック信号供給装置でもよい。

【0038】また、上記光伝送手段は、レンズ、ミラー、ホログラム、およびプリズムのうち少なくとも一つを有して構成されることも考えられる。

【0039】また、上記光伝送手段は、伝送された光クロック信号を分岐する光分岐手段を備えるクロック信号供給装置も考えられる。

40 【0040】また、前記光分岐手段は、光ファイバ型スターカップラ、光導波路型スターカップラ、およびビームスプリッタのうち少なくとも一つを有して構成されることも考えられる。

【0041】また、上記光伝送手段は、光路変換手段、光集束手段、および光隔離手段のうち少なくとも一つを備えるクロック信号供給装置も考えられる。

【0042】この場合、前記光路変換手段は、ミラー、プリズム、およびグレーティングのうち少なくとも一つを有して構成され、また、前記光集束手段は、レンズ、

およびグレーティングのうち少なくとも一つを有して構成され、さらに、前記光隔離手段は、パーティション、カバー、およびマスクのうち少なくとも一つを有して構成される手段も考えられる。

【0043】また、上記光送信手段および光伝送手段により、上記光受信手段に入射される光クロック信号は、該光クロック信号の周波数における最小受信光出力以上であることを特徴とするクロック信号供給装置も考えられる。

【0044】また、本装置を応用したプロセッサとして、以下に記載する手段が考えられる。少なくとも2以上の半導体素子を有し、各々の半導体素子が互いに電気接続される配線基板を有して構成される半導体モジュールを少なくとも2以上有して構成されるプロセッサにおいて、上記クロック信号供給装置を設け、前記光受信手段および前記位相調整手段は、各半導体モジュールに配置されるものであり、前記光受信手段は、前記光分岐手段を介して分岐された光クロック信号を検出し、各半導体モジュールに対して所定の周波数と位相を有するクロック信号を供給するプロセッサである。

【0045】また、少なくとも2以上の半導体素子を有し、各々の半導体素子が互いに電気接続される配線基板を有して構成される半導体モジュールを少なくとも2以上有して構成されるプロセッサにおいて、上記クロック信号供給装置を設け、前記光受信手段および前記位相調整手段は、各半導体チップに配置されるものであり、前記光受信手段は、前記光分岐手段を介して分岐された光クロック信号を検出し、各半導体チップに対して所定の周波数と位相を有するクロック信号を供給するプロセッサも考えられる。

【0046】さらに、クロック信号供給装置を備えたプロセッサであって、該供給装置における光受信手段および位相調整手段は、プロセッサを構成する半導体基板と同一の基板上に設けたプロセッサも考えられる。

【0047】また、上記プロセッサにおいて、シリコンから成る半導体素子に前記光受信手段を形成し、前記光クロック信号の波長が $1\mu\text{m}$ 以下であるプロセッサも考えられる。

【0048】さらに、上記プロセッサにおいて、シリコンから成る半導体素子上に、化合物半導体からなる前記光受信手段を設け、前記光クロック信号の波長が $1\mu\text{m}$ 以上であるプロセッサも考えられる。

【0049】

【作用】まず、クロック発振器から出力させた電気クロック信号は、光送信手段によって光クロック信号に変換される。

【0050】かかる光クロック信号は、周波数帯域幅の十分大きな光伝送手段（実施例における光導波路等を指す）を介して、光受信手段に送信され、光受信手段によって再び電気クロック信号に変換される。

【0051】すなわち高い周波数を有するクロック信号が光信号として伝送され、最終的に電気信号に変換される。

【0052】一方、クロック発振器から出力された電気クロック信号は、基準信号生成手段にて分周され電気信号として、所定の分配先まで伝送される。

【0053】さらに、前記光電変換された第一の電気信号および前記基準信号生成手段にて分周された第二の電気信号は、両方とも位相調整手段に供給される。

【0054】位相調整手段では、第一の電気信号および第二の電気信号の立上りまたは立ち下がりを利用して、両信号間の時間ずれ（位相ずれ）を検出し、例えばディレイ回路等を利用して両信号の位相を揃える。

【0055】また、位相調整手段は、この様に位相調整されたクロック信号を下位の分配先に供給する。

【0056】したがって、従来のように、クロック信号の周波数が電気インターコネクション帯域幅によって制限されるようなことはない。

【0057】すなわち、高い周波数を有するクロック信号を供給し、かつクロック間の位相ずれも生じないクロック信号供給装置を提供できることになる。

【0058】このように、従来方式では実現不可能であった、光クロック信号のスキュー（クロック分配先でのLSIにおける、クロック信号の「位相ずれ」のことを、以下このように称する）が分配先に影響することがない装置を提供できることになる。

【0059】本装置は、特にクロック信号供給のための配線が長い装置、例えばメインフレーム・コンピュータや起並列コンピュータ内の各種プロセッサに適用する際等には有効である。

【0060】

【実施例】本発明の実施例を図面とともに説明する。

【0061】図1は本発明の第1実施例の半導体装置を示す図である。図2は図1のA-A'面の断面図である。図1および図2において、半導体チップ1と配線基板2がフリップチップ接続されている。光導波路配線5は電極体4間スペースに設けられており、光導波路配線5の主面6に垂直な貫通孔7の内を經由する電極体4によって半導体チップ1と配線基板2の配線層3が接続されている。

【0062】半導体チップ1と配線基板2はシリコンまたは化合物半導体である。半導体チップ1の配線基板2側の面には回路および光素子部（面発光レーザ、ホトダイオードなど）が形成されている。配線層3は金属（Cu、Alなど）と絶縁体（ポリイミド、ガラスなど）である。電極体4は金属バンプ（Pb-Sn半田、Auなど）である。光導波路配線5は誘電体（ポリイミド、ガラスなど）から成り、光素子部と結合するためのミラーまたはグレーティングなどが形成されている。

【0063】光導波路配線5は、配線基板2に配線層3

を形成したのち、塗布または蒸着などの方法によって配線層3の表面に形成される。光導波路配線5のパターニングや貫通孔7の形成は、ホトリソグラフィなどの方法により行われる。予め電極体4が形成された半導体チップ1を配線基板2の所定の位置に回路のある面をフェースダウンで搭載し、電極体4を溶融することにより半導体チップ1と配線基板2が電気機械的に接続される。溶融された電極体4のもつ表面張力に基づくセルフアライメント作用によって半導体チップ1の光素子部と光導波路配線5の間の位置ズレが解消され光結合が確実にされる。

【0064】本第1実施例によれば、配線層3内部の電気配線と半導体チップ1との多数の電気入出力端子同士の接続をした上で、高速・広帯域な光導波路による光インタコネクションを行える効果がある。配線層3や電極体4の配置が光導波路配線5の配置によって制約されることがない。例えば、200 μ mピッチの電極体4の間に20 μ mピッチで光導波路配線を行った場合、1cm角の半導体チップ1から2500ピンの電気接続と約400本の光導波路配線5を取り出すことができる。光導波路配線5はブロードキャスト配線（例えばバス配線、クロック配線など）や長距離配線（例えば装置外部との入出力など）に使用し、配線層3はその他の信号配線や電源配線などに使用すると、電気配線と光導波路配線の特質を活かすことができる。半導体チップ1の冷却に関しては、光導波路配線5がチップ1の基板2に面する側に設けられているので、反対側からの冷却を妨げることがない。半導体チップ1の光素子部と光導波路配線5の光結合は、電極体4のセルフアライメント作用を利用できるので、煩雑な光軸合せ作業を行う必要がない。なお、本実施例では格子状の光導波路配線を形成しているが、交差部において光信号が干渉することではなく、それぞれ独立した配線とみなすことができる。

【0065】半導体装置の製造プロセスの一例を図3a-eにより説明する。

【0066】第1の工程では、まず、図3aに示すように、配線基板100の表面へ多層配線層101と電極102を形成する。この配線層101は、ポリイミドなどの層間絶縁膜のコーティングと、アルミや銅等の金属配線の蒸着またはメッキと、ホトリソグラフィによるパターンニングを繰り返すことによって形成される。

【0067】第2の工程では、図3bに示すように、感光性ポリマーから成るクラッド層103、105とコア層104を、コーティングまたはフィルムを貼り付ける方法等によって形成する。

【0068】第3の工程では、図3に示すように、ホトマスク106を用いてクラッド層103、105とコア層104を露光する。ホトマスク106の透光部では、感光性ポリマーが紫外線によって露光され、選択的に光重合が行われる。なお、露光後には、コア層104の屈

折率がクラッド層103、105の屈折率より高くなる。

【0069】第4の工程では、図3dに示すように、現像により未露光部を除去することによって、クラッド層103、105とコア層104をパターンニングし、光導波路配線を形成する。このとき、電極102は露出される。

【0070】第5の工程では、図3eに示すように、半導体チップ107の電極108と多層配線層101の電極102を半田バンプ109によって接続する。

【0071】以上のようにして製造された半導体装置では、光信号はコア層104を、電気信号は配線層101を伝搬する。

【0072】上記製造プロセスではクラッドが2層、コアが1層の光導波路配線の例を示したが、図4a-dには幾つかの光導波路配線の構造の例を示す。

【0073】図4aは電気配線層120上に形成されたコア121から成るリッジ型導波路121である。図4bは、図3に示した導波路と同じくコア123がクラッド122、124によって2方向からサンドイッチされた導波路である。図4cはコア126がクラッド125によって3方向から囲まれた埋込み型導波路である。図4dはコア128がクラッド128によって四方から囲まれた埋込み型導波路である。

【0074】図4aからdの方にゆくにしたがって製造プロセスは複雑になるが、導波路の伝搬損失は少なくなる。これらのうち何れを選択するかは、光導波路配線の間隔や距離によって決められる。

【0075】ところで、第1実施例では光導波路配線が格子状に交差する場合を示したが、例えば図3cにおけるホトマスクのパターンを変更することによって、図5に示すように光信号の分岐や偏向を行なうことができ、半導体チップ200と電気配線層201がバンプ202によって接続されており、配線層201上の光導波路配線203はバンプ202の間に形成されている。220や221ではそれぞれ光軸に対して45度傾いた反射面によって光信号が分岐または偏向される。

【0076】光導波路配線と半導体チップとの間で送受信を行う場合には、例えば図6に示すようなミラーを設け、配線基板230の表面に多層配線層231と、クラッド層232、234及びコア層233から成る光導波路配線とが形成されている。配線層231の電極235と回路241が形成された半導体チップ240の電極237とは、半田バンプ235によって接続されている。半導体チップ240に形成された受光素子部242には、ミラー238によって光導波路配線から光信号が入射される。発光素子部243から出射した光信号は、ミラー239によって光導波路配線へ入射される。

【0077】上記のミラーは、例えば既に図3cに述べたホトリソグラフィ工程において図7a-cに示すよう

なホトマスクを用いることによって形成することができる。すなわち、感光性ポリマーから成るクラッド250、252とコア251を、遮光量をグレーデッドに変化させたホトマスク253を介して露光する。このとき、感光した部分の深さは遮光量に対応して変化するので、現像した後は図7bに示すように傾斜面すなわちミラーが形成される。反射率を高めたい場合には、さらにホトリソグラフィ工程を経て図7cに示すような金属反射膜254を形成する。

【0078】次に、本発明の光導波路配線をクロック信号供給に適用した例を図8および図9により説明する。図8、9において、複数のシリコン半導体素子200とシリコン配線基板205が、セラミクス配線基板207と水冷ジャケット210から成るパッケージに実装されており、Si-on-Siモジュールを構成している。半導体素子200は配線基板205にベアチップで搭載されており、高密度実装が可能である。各々の半導体素子200がクロック信号の分配先である。

【0079】半導体素子200には、LSI回路とともに光受信回路201がモノリシックに形成されている。半導体素子200は、半田バンプ202によって配線基板205に接続されている。配線基板205には、ポリマー光導波路配線203と、Cu/ポリイミド多層配線層204が形成されている。光導波路配線203は、半田バンプ202の間のスペースに設けられているので、半導体素子200と配線層204の電気接続を妨げることはない。配線層204は、TAB206を介してムライト系セラミクス配線基板207に接続されている。配線基板207には入出力ピン208が接続されている。半導体素子200は、水冷例ジャケット210の水路211に水を流して冷却される。半導体素子200は、水冷ジャケット210、フレーム214および配線基板207によって封止されている。

【0080】クロック信号源300から光送信回路を経て出射された光クロック信号は、光ファイバ302によって上記モジュールに導かれ、フェルール213に収められた光ファイバ212と光導波路配線203を介して各半導体素子200の光受信回路201に供給される。光受信回路201がシリコン製半導体素子200に形成されているので、シリコンのバンドギャップを考慮して光クロック信号の波長は1μm以下に設定される。セラミクス製フェルール213は、配線層203に対する取付け位置を調節した後、フレーム214に封止固定されている。光導波路配線203は図5に述べたような分岐配線を備えており、光受信回路201に対応する部分に図6に述べたようなミラーを備えている。配線パターンは、複数の分配先に等距離なH-tree形状を有する、フラクタルであり、クロック信号は各半導体チップ200に対してほぼ同位相になる。

【0081】図10は本発明の第3実施例の半導体装置

を示す図である。複数の半導体チップ21は配線基板22にフリップチップ接続されている（ここでは電極体は図示していない）。光導波路配線23は電極体間のスペースに設けられている。各半導体チップ21は光導波路配線23と制御回路24によりバス接続されている。制御回路24はシリコン配線基板22に形成されている。

【0082】本第3実施例によれば、半導体チップ21の数が非常に多い場合のチップ間接続において効果がある。電気配線では配線本数や帯域に限界があるが、各半導体チップ21に多重化回路を設けることにより、大容量の光信号伝送を行うことができる。また、制御回路24の代用として光スイッチを用いることによりクロスバ接続を行うことができる。

【0083】以上の実施例において半導体チップと配線基板に対する光導波路配線の配置が重要であって、配線基板としてシリコン基板の他、プリント基板、多層セラミクス基板などに対しても効果があることは言うまでもない。使用目的に応じて、光導波路材料として例えばポリイミド、ガラス、半導体などから選択し、導波構造や伝播モードを設計することができる。また、実施例では配線基板の表面に光導波路配線を形成したが、配線基板とは別個に製作した光導波路基板を配線基板の上に搭載する方法、印刷、成形などの方法によっても光導波路配線を行うことができる。

【0084】図11に、4実施例のクロック信号供給装置の構成図を示す。

【0085】本実施例は、クロック信号を発生するクロック発振器1001クロック信号の位相を調整する位相調整器1010、クロック発振器1001から位相調整器1010にクロック信号を供給する光インタコネクション1022、位相調整に用いる基準信号をクロック信号から生成する基準信号生成器1006、基準信号生成器1006から位相調整器1010に基準信号を供給する電気インタコネクション1008を有して構成される。

【0086】クロック信号および基準信号の分配先1009は、位相調整器1010備え、位相調整されたクロック信号を下位の分配先1015に供給する分配器1014を備えている。さらに、光インタコネクション1002は、光送信器1003、光受信器1004および光伝送路1005を有して構成されている。

【0087】光送信器1003は、クロック発振器1001から出力された電気クロック信号を光クロック信号に変換する。

【0088】光受信器1004は、光クロック信号を電気クロック信号に変換する手段である。

【0089】光伝送路1005は、光送信器1003から光受信器1004に光クロック信号を伝送・供給する。

【0090】光送信器1003は、例えば、レーザダイ

オード、固体レーザー等の発光素子および駆動回路等により実現される。

〔0091〕クロック発振器1001から出力された電気クロック信号を、光クロック信号に変換する方法としては、例えば、「超高速光エレクトロニクス、培風館、1991年発行」に記載のように、レーザー発振の励起制御、モード同期、電気光学効果を利用した外部光変調器等を用いれば良い。

〔0092〕光受信器1004は、例えば、フォトダイオード、フォトコンダクタ等の受光素子と駆動回路により実現される。

〔0093〕分配先1009において、光受信器1004により光/電気変換された電気クロック信号は、位相調整器1010に供給される。

〔0094〕一般に、光送信器1003における「電気/光変換」、および、光受信器1004における「光/電気変換」は、100GHz以上の周波数帯域にて行なう事が可能である。

〔0095〕なお、光送信器1003の光出力は、光伝送路1005の伝送損失、結合損失、分岐損失等を考慮し、クロック周波数における最小受信出力以上の光クロック信号が光受信器1004に供給されるような値に設定しておけば良い。

〔0096〕光伝送路1005は、4実施例が適用されるプロセッサ等の装置の実装環境に応じて、例えば光ファイバ、スラブ型またはチャネル型光導波路等を用いた光導波路、あるいは、レンズ、ホログラム、ミラー、プリズム等の光学デバイスを用いた光学系によって実現される。

〔0097〕複数の分配先1009に光クロック信号を供給するため、光伝送路1005は、光分岐器を有して構成される。

〔0098〕光分岐器は、例えばスターブカッパ、パワースプリッタ、ブロードキャスト光学系等により実現できる。また、光分岐器を多数組み合わせた構成も考えられる。この場合、所定振幅信号の光クロック信号が、光受信器1004に供給されるように、分配先1009の数に応じて光分岐器の構成が決定される。

〔0099〕また、光伝送路1005の伝送帯域幅は、配線距離に依存し、例えば光ファイバでは1T(Hz・m)以上となるが、この値は光クロック信号の分配にとっては、十分な値となる。

〔0100〕基準信号生成器1006は、クロック発振器1001から供給されるクロック信号にもとづき、電気インタコネクション1008の周波数帯域幅内の基準信号を生成する。

〔0101〕例えば、特開平2-168308号公報等に記載の方法と同様に、フリップフロップ回路1007を直列に接続した分周器によって構成される。また、図示はしないが、複数の分配先1009に基準信号を供給

するため、基準信号生成器1006は年ファンアウトを増加せしめる出力バッファ回路を備えて構成し、必要に応じて設ければ良く、必須の構成要素ではない。

〔0102〕電気インタコネクション1008は、実装条件に応じて選択され、例えば同軸ケーブル、プリント配線基板、セラミクス配線基板、半田バンプ等から構成される。典型的には図1のチップ1が図11の分配先1009に対応し、光と電気のインタコネクション1005、1008は配線基板2(図1)に至る光電気接続、配線基板内配線、配線基板上導波路、バンプ、チップー配線基板間の光供給を含む。

〔0103〕複数存在する分配先1009に位相の揃った基準信号を供給するため、例えば特開平2-168308号公報USP5184027、5043596に記載されているように、予め負荷条件、配線距離等を精度良く揃えておく必要がある。これにより、電気インタコネクション1008の伝搬遅延時間を制御し、分配先1009における基準信号の位相を揃える。

〔0104〕一般に、電気インタコネクション1008の伝送帯域幅は、数GHz・mが限界であるが、基準信号の周波数は、電気インタコネクション1008の帯域幅内であるので問題はない。

〔0105〕位相調整器1010は、電気インタコネクション1008から供給される基準信号に基づき、光受信器1004から供給されるクロック信号の位相を調整する。

〔0106〕位相調整方法としては、クロック周波数、クロック信号調整幅等に応じて各種の方法が考えられる。例えば、特開平2-168308号公報USP5184027、USP5043596に記載されている方法を用いれば良い。この場合、位相調整器1010は、光インタコネクション1002からクロック信号の供給を受ける可変遅延器1012と、電気インタコネクション1008から供給される基準信号の位相に対して、可変遅延器1012を経由して供給されるクロック信号の位相の進みまたは遅れを検出する位相比較器1011と、位相の進みまたは遅れに基づいて可変遅延器1012の遅延時間を制御する遅延制御器1013を有して構成される。

〔0107〕位相比較器1011は、例えば2のNOR回路を交差接続したセット・リセットフリップフロップ回路を有して構成される。

〔0108〕基準信号の位相に対して、光受信器1004から可変遅延器1012および分配器1014を経由して、位相比較器1011にフィードバックされるクロック信号の位相を比較し、位相の進みまたは遅れに対応してハイレベルまたはローレベルの信号パルスが遅延制御器1013に出力する。

〔0109〕可変遅延器1013に出力する。

【0110】可変遅延器1012は、例えば伝搬遅延時間の異なる信号経路を接続した多段のセクタ回路を有して構成される。

【0111】かかる信号経路には、OR回路、差動回路、ティレイライン等を用いればよい。セクタ回路を切替えて信号経路を選択することにより、遅延時間を変化させ、クロック信号の位相を調整する。遅延時間は、遅延制御器1013によって制御される。

【0112】セクタ回路の段数、信号経路の伝搬時間等は、クロック周波数に対応する可変幅、時間分解能を考慮して設定される。

【0113】遅延制御器1013は、例えばアップダウンカウンタを有して構成される。

【0114】位相比較器1011において、クロック信号の信号が基準信号より進んでいる場合には、出力パルスをハイレベルにし、逆に遅れている場合には、出力パルスをローレベルにする。

【0115】アップダウンカウンタは、ハイレベルのパルス1個につき1だけカウントアップし、逆にローレベルのパルス1個につき1だけカウントダウンする。

【0116】2進数カウンタにおける各桁の出力端子を、各々可変遅延器1012のセクタ回路の各段に入力端子と接続する。

【0117】各セクタ回路では、入力値が「1」の時、遅延時間の大きな信号経路を選択し、入力値が「0」の時、遅延時間の小さな信号経路を選択する。

【0118】このような制御により、クロック信号の位相を、基準信号の位相にあわせればよい。

【0119】分配器1014は、位相調整器1010によって補正されたクロック信号を分配先1015に供給し、出力の一部を位相調整のために位相比較器1011にフィードバックする。

【0120】分配器1014は、例えば出力バッファ回路、分周器等を有して構成される。例えば、分配先1015において多相クロック信号が必要な場合には、可変遅延器1012から供給されるクロック信号を分周することによって所定の周波数と位相を有するクロック信号を生成する。

【0121】第4実施例のクロック信号供給装置によれば、クロック発振器1001から発生したクロック信号は、インタコネクション1002によって分配先1009に供給される。一方、基準信号生成器1006により、クロック信号から生成された基準信号は、電気インタコネクション1008を介して分配先1009に供給されることになる。

【0122】そして、分配先1009において備えられている位相調整器1010により、クロック信号の位相は、基準信号の位相と揃えられる。

【0123】このように、位相調整されたクロック信号は、分配器1014を介して、下位の分配先1015に

供給される。

【0124】光インタコネクション1002の周波数帯域幅は、非常に広いので、従来の電気インタコネクションの周波数帯域幅を超えるクロック信号を分配1009に供給されることが可能となる。

【0125】電気インタコネクション1008は、光インタコネクション1002と比較して信号間の位相調整が容易なため、位相の揃った基準信号を、位相調整器1010に供給することができる。

【0126】すなわち、クロック信号の位相を精度良く調整することが可能となる。

【0127】したがって、本実施例によれば、超高速かつスキューの小さなクロック信号を分配先1015に供給することが可能となる。

【0128】次に、第4実施例にて示したクロック信号供給装置における光送信器1003および光受信器1004について説明する。

【0129】図12に、第5実施例であるクロック信号供給装置の光送信器1003の構成を示す。本実施例にかかる光送信器1003は、レーザダイオード1020、その駆動回路1021、レーザダイオード1020から出射された光クロック信号を増幅する光増幅器1022、および光クロック信号の信号振幅を一定に保持する光出力制御器1023を有して構成される。

【0130】レーザダイオード1020は、半導体素子から構成され、固体・気体レーザ等の光源に比べて、小型かつ取扱いが簡便である利点がある。

【0131】レーザダイオード1020として、例えば周知の利得導波型より周波数帯域幅の広い周知の屈折率導波型・分布帰環型レーザ等が考えられる。

【0132】駆動回路1021として、周知の利得スイッチ法、モード同周法、外部光変調法等が考えられるが、構成が簡素である直接変調法を採用している。

【0133】駆動回路1021は、クロック発振器1001から発生した電気クロック信号をレーザ変調電流に変換し、これを所定値の直流バイアス電流と重畳してレーザダイオード1020に注入する。直接変調法では、10GHz程度の変調帯域幅が得られるが、さらに帯域幅を広げたい場合には、他の駆動手段を用いれば良い。

【0134】光増幅器1022としては、例えば、1THz以上の増幅帯域幅を有する周知の進行波型半導体光増幅器を用いれば良い。かかる増幅器は、希土類ドーパ光ファイバ（エルビウム等の希土類元素をドーピングした光ファイバを称する）型光増幅器に比べて小型であるという利点を有している。

【0135】増幅利得は、励起電流に依存する。励起電流の値は、レーザダイオード1020の光出力、光伝送路1005の損失、光受信器1004の受信感度等を考慮して設定される。光受信器1004に対する光出力が不足する場合には、光増幅器1022を光伝送路100

5の中間位置、あるいは、光受信器1004の直前に備えた構成にすることも可能である。

【0136】また光出力制御器1013は、例えばトランジスタ等の電子デバイスにて実現できる差動増幅回路を有して構成される。

【0137】光出力制御器1013は、レーザダイオード1020と、光増幅器1022の光出力の一部を検出し、該検出力電圧と基準電圧との差によって、レーザダイオード1020と光増幅器1022の駆動電流を制御する回路である。

【0138】これにより、光クロック信号の振幅値が一定に保たれるので、光受信器1004によって安定に光信号を検出することができる。

【0139】本実施例によれば、小型かつ簡便な駆動回路1021と、光増幅器1022によって、光クロック信号を送信することができる。

【0140】光増幅器1022によって、最小受信可能光出力以上の十分な信号振幅を有する光クロック信号を光受信器1004に供給できる。

【0141】また、レーザダイオード1020を大振幅電流で駆動することにより送信光出力を増加させる場合に比べ、広い周波数帯域幅を得ることができる。

【0142】さらに、光出力制御器1023により、光出力信号が安定化されるので、光受信器1004において、信号識別エラーが生じることはない。

【0143】図13は、クロック信号供給装置内の光受信器1004の構成図である。

【0144】本実施例では、光受信器1004は、光クロック信号を検出するフォトディテクタ1031、その駆動回路1032、クロック周波数に対する帯域通過器1033、信号識別器1034を有して構成される。

【0145】フォトディテクタ1031としては、例えば、小型かつ扱いが簡便なフォトダイオードを用いれば良い。

【0146】フォトダイオードには、pin型フォトダイオード、光電流増幅作用を有するアバランシェ型フォトダイオード等がある。

【0147】図12にて説明したように、十分な大きさの光クロック信号が供給される場合には、アバランシェ型フォトダイオードよりも、製造が容易なpinフォトダイオードを採用する方が望ましい。

【0148】駆動回路1032もフォトダイオードに逆バイアス電圧を印加するバイアス回路と、受光面に入射した光クロック信号によって発生する光電流を増幅するアンプ回路を有して構成される。

【0149】フォトダイオードの接合容量、印加電圧、駆動回路1032の負荷抵抗等は、クロック周波数に対して、十分な帯域幅を有するように設定される。

【0150】pin型フォトダイオードでは、通常、数10GHz程度の帯域幅が得られるが、さらに広帯域

を必要とする場合には、受光面積、および、空乏層幅を小さく設定すればよい。但し、これに応じて、フォトディテクタ1031に対する光伝送路1005の光軸合せ精度を上げ、駆動回路1032の増幅率を上げる必要がある。

【0151】帯域通過器1033は、例えばバンドパスフィルタを用いれば良い。該フィルタは、例えばトランジスタ、コンデンサ、抵抗等の各種の電子デバイスにより実現できるフィルタ回路を有して構成される。

【0152】該フィルタは、クロック周波数より、低域または高域の周波数を有するノイズを除去する。ノイズに対して、光クロック信号の出力が十分大きい場合には、設けなくても良い。

【0153】信号識別器1034は、帯域通過器1033を通過してきた駆動回路1032の出力信号を所定の信号レベルでスライスして、これにより所定の信号振幅の電気クロック信号を取り出す回路である。

【0154】本第6実施域によれば、小型かつ簡便なフォトディテクタ10331によって、光クロック信号を検出することが可能となる。

【0155】光受信器1004は、分配先1009の各々に対して設けられるので、高密度環境下で用いる場合は、小型であることが重要となる。

【0156】駆動器1032と信号識別器1034によって、フォトディテクタ1031が検出した光電流を電気クロック信号に変換することができる。

【0157】帯域通過器1033は、検出電流のノイズを除去するので、分配先1009に対して信頼良くクロック信号を供給することができる。

【0158】このように、第5実施例および第6実施例の手段を組み合わせることにより、小型かつ簡便な装置で、10GHz程度の超高速のクロック信号を供給することが可能となる。

【0159】図14に、本発明の第7実施例を示す。

【0160】本実施例は、先述のクロック信号供給装置を適用したプロセッサに関するものであり、図14にはプロセッサの断面構造図が示されている。

【0161】ここでプロセッサとは、所定の信号処理を行なう機能を有する装置のことを指している。

【0162】本実施例のプロセッサは、複数の半導体モジュールを有して構成される。

【0163】図14は、そのうちの1つのモジュールを示したものである。

【0164】また、このようなプロセッサは、例えばメインフレームに内蔵され用いられる。図14において、半導体モジュールは、複数の半導体素子1101、配線基板1103、1106および水冷ジャケット110等を有して構成される。

【0165】LSI回路が形成された半導体素子1101、半田パンブ1102（ボール球のような微小な半田

10

20

30

40

50

の突起電極のことを称する)によってムライト系(セラミクス材料系列の名称である)セラミクス配線基板1103に接続され、集伝導率が高いAlNキャップ(窒化アルミ製キャップ)1104によってパッケージ封止されている。

【0166】配線基板1103とキャップ1104を有して構成されるパッケージは、半田バンプ1105によって、ムライト系多層セラミクス配線基板1106に接続されている。また、図示していないが、モジュールの入出力ピン1107は、多層プリント配線基板に接続されている。

【0167】半導体素子1101の冷却には、ここでは水冷方式を採用している。水冷ジャケット1110の水路1111と、ベローズ1109に水を流すことにより、放熱フィン1108を介して半導体素子1101を冷却する。水冷ジャケット1110とフレーム1112は、多層セラミクス配線基板1106に封止固定されている。

【0168】水冷ジャケット1110、ベローズ1109およびフレーム1112は、例えばコパル合金製であり、放熱フィン1108は、例えば窒化アルミ製である。

【0169】分配先1009である半導体モジュールは、フォトダイオード1120と半導体素子1122を有して構成される光受信器1004と、半導体素子1122から構成される位相調整器1010が備えられている。

【0170】pin型InGaAs系フォトダイオード1120は、半田バンプ1121によって、GaAs系半導体素子1122にフリップチップ接続されている。半導体素子1122は、入出力ピン1126を介して配線基板1106に接続される。

【0171】フォトダイオード1120と半導体素子1122は、ベース1123、フレーム1125、ガラスキャップ1124を有して構成されるパッケージに封止されている。

【0172】パッケージは、熱伝導ブロック1127と、水冷ジャケット1110を介して冷却される。

【0173】光送信器1003から出力された、例えば波長1.3(μm)の光クロック信号は、光伝送路1005を経由して、光受信器1004であるフォトダイオード1120に供給される。光伝送路1005は、光ファイバ1130、1133、プリズム1135、レンズ1136を有して構成される。

【0174】直径125 μm のシングルモード光ファイバ1130は、被覆1131によって保護されており、先端にプラスチック成型の光コネクタ1132を備えている。

【0175】光コネクタ1132は、プラスチック成型のレセプタクル1134に、嵌合ピンを使用して接続さ

れる。

【0176】レセプタクル1134内の光ファイバ1133を伝搬してきた光クロック信号は、ガラス製プリズム1135によって、その光路が変換され、フレーム1112に封止固定された製ガラスレンズ1136により集光され、キャップ1124を透過してフォトダイオード1120の受光面に入射する。

【0177】レセプタクル1134とプリズム1135は、光軸合せを行なった後、フレーム1112に固定される。

【0178】フォトダイオード1120が検出した光により発生した光電流は、半導体素子1122に形成された光受信器1004によって電気クロック信号に変換される。電気クロック信号は、同一の半導体素子1122に形成されている位相調整器1010に供給される。

【0179】一方、基準信号生成器1006から出力された位相基準信号は、電気インタコネクション1008を経由して半導体素子1122に供給される。電気インタコネクション1008は、電気ケーブルとプリント配線基板、入出力ピン1107、配線基板1106、入出力ピン1126を有して構成される。

【0180】電気インタコネクション1008の伝播遅延時間は、各分配先1009である半導体モジュールの半導体素子1122に対して等しくなるように設定されている。

【0181】半導体素子1122の位相調整器1010は、基準信号に対してクロック信号の位相合わせを行う。

【0182】位相調整されたクロック信号は、分配器1014によって分周された多相クロック信号となる。多相クロック信号は、入出力ピン1126、配線基板1106、1103を介して、下位の分配先1015である複数の半導体素子1101に供給される。

【0183】本第7実施例によれば、分配先1009である半導体モジュールの高密度の実装構造を妨げることなく、光受信器1004と位相調整器1010を備えた構成を実現できる。すなわち、半導体素子1122に備えられた相位調整器1010には、光伝送路1005

(光ファイバ1130、レンズ1136等)および光受信器1004(フォトダイオード1120と半導体素子1122)を経由してクロック信号が供給され、基準信号生成器1006から電気インタコネクション1008(配線基板1106、入出力ピン1126等)を経由して基準信号が供給される。

【0184】また、位相調整器1010によって調整されたクロック信号は、半導体素子1122上に設けられている分配器1014と配線基板106等を経由して下位の分配先1015である複数の半導体素子1101に供給される。

【0185】このようにして、半導体モジュール内の複

数の半導体素子1101に対して、所定の周波数と位相の超高速クロック信号を供給することができる。

【0186】本第7実施例にて説明したプロセッサを用い、多数の半導体素子1101を同期動作させることにより、超高速大規模計算機を実現できる。

【0187】図15は、本発明にかかる第8実施例のクロック信号供給装置を適用したプロセッサの断面構造図である。第7実施例と異なり、分配先1009である半導体モジュールにおいて、一個のOEIC (Optoelectronic Integrated Circuit) 1140が光受信器1004 および位相調整器1010を兼ね備えている。

【0188】GaAs系OEIC1140には、MSM (Metal-semiconductor-Metal) 型フォトダイオード1141とFETを有して構成される電子回路からなる光受信器1004と、同じくFETを有して構成される電子回路からなる位相調整器1010が、同一基板上に形成されている。

【0189】OEIC1140は、半導体素子1101と同様にパッケージ封止され、キャップ1104と放熱フィン1108を介して冷却されている。

【0190】さて、光送信器1003から出力された、例えば波長0.8 (μm) の光クロック信号は、光伝送路1005を経由して、フォトダイオード1141に入射される。

【0191】光伝送路1005は、光ファイバ1143およびレンズ1142を有して構成されている。

【0192】光ファイバ1143は、配線基板1106を貫通するフェルル1144に覆われている。光ファイバ1143とレンズ1142、および、レンズ1142とフォトダイオード1141の光軸合せは、各々半田バンプ1102、1105のセルフアライメント作用によって自動的に行われる。

【0193】つまり、容融半田の表面張力によって半田バンプは、ボール形状になる。チップの位置が基板に対してずれていると、半田バンプの形が歪むので、バンプ自身が丸くなろうとして表面張力が働き、位置ずれが補正されることになり、セルフアライメント作用が生じる。

【0194】図示していないが、モジュールが接続される多層プリント配線基板には、入出力ピン1107とフェルル1144のコネクタがそれぞれ備えられており、これらは同時に挿抜（モジュールのピンをプリント配線基板に抜き差しすること）することが可能である。

【0195】基準信号は、基準信号生成器1006から電気インタコネクション1008を経由してOEIC1140に供給される。電気インタコネクション1008は、電気ケーブルとプリント配線基板、入出力ピン1107、配線基板1106、半田バンプ1102、1105を有して構成される。

【0196】基準信号に基づいて、OEIC1140に

よって位相調整されたクロック信号は、分配器1014と配線基板1106、1103を介して、下位の分配先1015である複数の半導体素子1101に供給される。

【0197】本第8実施例によれば、光受信器1004および位相調整器1010が、OEIC1140内の同一基板上に形成されており、低容量の半田バンプ1102、1105によって、配線基板1103、1106に接続されているため、第7実施例に比べ、一層広い周波数帯域幅が得られる。

【0198】OEIC1140の位相調整器1010には、光伝送路1005（光ファイバ1143等）および光受信器1004（本実施例では、OEIC1140）を経由して光クロック信号が供給される。

【0199】基準信号は、電気インタコネクション1008（配線基板1106、1103、半田バンプ1105、1102等）を経由して位相調整器1010に供給される。

【0200】位相調整器1010において調整されたクロック信号は、分配器1014によって分配先1015である複数の半導体素子1101に供給される。

【0201】第7実施例では、位相調整器1010の設置位置が半導体モジュールのフレーム1121の近傍に限られていたが、本第8実施例では、所望の位置に設置することができる。

【0202】OEIC1140は、半導体素子1101と共通のパッケージに収納されているので、実装構造に適している。また、半田バンプ1102、1105のセルフアライメント作用により、光伝送路1005とフォトダイオード1141との複雑な光軸合せ作業を省略することも可能である。

【0203】また、第7実施例における熱伝導冷却に比べて、本第8実施例、水冷方式の冷却を採用しているため、効率良くOEIC1140を冷却することが可能となる。

【0204】図16は、本発明にかかる第9実施例のクロック信号供給装置を適用したプロセッサの断面構造図である。

【0205】本実施例のプロセッサは、第7実施例、第8実施例のモジュールに比べ、さらに高密度実装を可能にすべく、複数のSi-on-Siモジュールを有して構成している。

【0206】Si-on-Siは、シリコン製LSIチップをシリコン製配線基板の上に接続する実装方式のことをいう。

【0207】図16において、Si-on-Siモジュールは、複数のシリコン製半導体素子1200およびシリコン製配線基板1205が、セラミクス配線基板1207、水冷ジャケット1210を有して構成されてパッケージに実装されている。

【0208】半導体素子1200は、配線基板1205にベアチップで搭載されるため、第7、第8実施例に比べて、より高密度の実装が可能になり、大型のチップを構成することができる。本実施例では、1つの半導体素子1200が、第一実施例におけるクロック信号の分配所1009に相当することになる。

【0209】半導体素子1200には、LSI回路とともに、光受信・位相調整器1201が、同一基板上に形成されている。

【0210】半導体素子1200は、半田バンプ1202によって配線基板1205に接続されている。

【0211】配線基板1205には、光伝送路1005であるポリイミド（例えば、ジアミンとカルボン酸が、イミド基によって直鎖状に重合した高分子構造体である）系光導波路配線1203と、電気インタコネクション1008であるCu/ポリイミド多層配線層1204が形成されている。光導波路配線1203は、例えば、図17においても示すように、半田バンプ1202間のスペースに設けられているため、半導体素子1200と配線層1204の電気接続には支障は生じない。

【0212】配線層1204は、TAB（Tape Automated Bonding）1206によって、ムライ系セラミックスの配線基板1207に接続され、該配線基板1207は、入出力ピン1208に接続されている。

【0213】半導体素子1200は、第7、第8実施例と同様に、水冷ジャケット1210の水路1211に水を注入することにより冷却できる。

【0214】半導体素子1200は、水冷ジャケット1210、フレーム1214および配線基板1207によって、封止されている。

【0215】光クロック信号は、光伝送路1005を経由して光受信・位相調整手段1201に供給される。光受信・位相調整器1201が、シリコン製の半導体素子1200に形成されているので、シリコンのバンドギャップを考慮して、光クロック信号の波長を1（μm）以下に設定する。

【0216】光伝送路1005は、フェルール1203に覆われた光ファイバ1212と、光導波路配線1203を有して構成される。

【0217】セラミックス製フェルール1213は、配線層に対して取付け位置を調節したのち、フレーム1214にて封止固定される。

【0218】フェルール1213を用いず、例えば18に示すように、配線基板1205に異方性エッチングによって形成したV溝1223を用いて、光ファイバ1212のコア1224と光導波路配線1203を結合し、光を伝播させることも可能である。

【0219】光導波路配線1203は、所定位置に配置されている光受信・位相調整器1201に光クロック信号を導くため、例えば図17に示すように光分岐器12

20、光路変換器1221等を備えた構成としている。

【0220】また、光導波路配線1203と光受信・位相調整器1201は、例えば図19に示すようなミラー1222によって光結合を行なう機能を有していても良い。

【0221】以上の光学デバイスの光軸合せは、例えば半田バンプ1202のセルフアライメント作用によって行われる。

【0222】さて、基準信号は、電気インタコネクション1008を経由して位相調整器1201に供給される。

【0223】電気インタコネクション1008は、入出力ピン1208、配線基板1207、TAB1206、配線層1204を有して構成されている。

【0224】位相が調整されたクロック信号は、半導体素子1200の表面の配線層を介して、半導体素子1200内の分配分1015に供給される。

【0225】本第9実施例によれば、第7、第8実施例よりさらに高密度実装された半導体モジュールにおいても、その実施形態が制限されることなく、各半導体素子1200の光受信・位相調整器1201には、光伝送路1005（光ファイバ1212、光導波路配線1203等）によってクロック信号が供給され、電気インタコネクション1008（配線基板1207、配線層1204等）によって基準信号が供給される。

【0226】位相調整後のクロック信号は、光受信・位相調整器1201から半導体素子1200内部の分配分1015に供給される。

【0227】このようにして、大型の半導体素子1200内部に、所定の周波数と位相を有する超高速クロック信号を分配することができる。

【0228】図20は、本発明にかかる第10実施例のクロック信号供給装置を適用したプロセッサの断面構造図である。

【0229】第10実施例のプロセッサは、大面積のウェハ・スケール・インタグレーション（「WSI」と称する）素子1300を有して構成される。

【0230】WSI素子1300は、ベース1306、フレーム1303、1304、キャップ1310を有して構成されるモジュールに封止されている。

【0231】WSI素子1300上の複数の所定位置には、第4実施例に示したクロック信号の分配分1009が設けられている。

【0232】シリコン製WSI素子1300には、複数個の光受信・位相調整器1301が、同一基板上に形成されている。WSI素子1300は、TAB1302によって、入出力ピン1305に接続されている。

【0233】Cu-W製セラミック製ベース1306には、WSI素子1300を冷却するため空冷フィンが形成されている。

〔0234〕なお、WSIとは「Wafer-Scale-Integration」のことを言い、通常のLSIチップは、半導体ウエハを切り出して製造するが、本WSIは、ウエハ全体に回路が形成されることになる。

〔0235〕波長0.8 (μm)の光クロック信号は、光伝送路1005を経由して、光受信・位相調整器1301に供給される。

〔0236〕光伝送路1005は、光ファイバ1315と光導波路1311を有して構成される。

〔0237〕光コネクタ1316をレセプタクル1314に接続することにより、光ファイバ1315と光導波路1311が結合され光が伝搬する。

〔0238〕ここで、光導波路1311は、ガラス製キャップ1310上に設けられている。

〔0239〕光導波路1311を伝播する光クロック信号は、例えばグレーティング・カップラ1312、1313によって、光受信・位相調整器1301に分配される。

〔0240〕基準信号は、電気インタコネクション1008を介して、光受信・位相調整器1301に供給される。電気インタコネクション1008は、入出力ピン1305、TAB1302、WSI素子1300表面の配線層を有して構成される。

〔0241〕光受信・位相調整器1301によって位相調整されたクロック信号は、WSI素子1300内部の分配先1015に供給される。

〔0242〕したがって、本実施例によれば、大面積のWSI素子1300の複数の領域に、所定の周波数と位相を有する超高速クロック信号を供給することができることになる。

〔0243〕図21は、本発明にかかる第11実施例のクロック信号供給装置を適用したプロセッサの断面構造である。

〔0244〕本第11実施例におけるプロセッサは、複数のWSI素子1320界を有して構成される。

〔0245〕WSI素子1320をスタック実装することにより、第10実施例に比べ、一層規模の大きなWSIモジュールを構成している。

〔0246〕各WSI素子1320が、第4実施例におけるクロック信号の分配先1009に相当する。

〔0247〕シリコン製WSI素子1320の所定の位置には、光受信器1004と位相調整器1010が形成される。

〔0248〕光受信器1004は、シリコンにInP系半導体をヘテロエピタキシャル成長することによって製造できる。

〔0249〕さらに、WSI素子1320は、半田バンプ1321により、シリコン製の配線基板1322に接続されている。シリコン製の配線基板1322には、多層配線層に加えて、WSI素子1320を冷却するため

の水路が、異方性エッチングによって形成されている。

〔0250〕配線基板1322は、TAB1323によって多層セラミックス配線基板1324に接続され、配線基板1324は、他のWSI素子1320の配線基板1324、または、多層セラミックス配線基板1326に接続されている。フレーム1325、およびキャップ1328は、配線基板1326に封止固定されている。

〔0251〕クロック発振器1001が発生したクロック信号は、入出力ピン1333を介してInP系のOEIC1330からなる光送信手段3に供給される。

〔0252〕OEIC1330から出力され光クロック信号は、光伝送路1005を伝播して、所定のWSI素子1320に供給される。

〔0253〕光伝送路1005は、ガラス製キャップ1328、配線基板1322、複数枚のWSI素子1320を有して構成される。

〔0254〕OEIC1330には、例えば面発光レーザダイオードと、その駆動回路が同一基板上に形成されており、パッケージ1331とキャップ1328により封止され、放熱フィン1332により冷却される構成となっている。

〔0255〕なお、光クロック信号がシリコン製WSI素子1320およびシリコン製の配線基板1322を透過する必要があるため、シリコンのバンドギャップを考慮して、光クロック信号の波長を1.0 (μm)以上に設定する。

〔0256〕基準信号は、電気インタコネクション1008を経由してWSI素子1320に供給される。

〔0257〕電気インタコネクション1008は、入出力ピン1327、配線基板1326、1324、TAB1323、配線基板1322、半田バンプ1321を有して構成される。

〔0258〕基準信号に基づいて位相調整されたクロック信号は、WSI素子1320内の分配先1015に供給される。

〔0259〕したがって、本第11実施例によれば、WSI素子1320をスタック実装した大規模・高集積プロセッサにおいて、所定のWSI素子1320の内部の所定の領域に位相の揃った超高速クロック信号を供給することができる。

〔0260〕図22は、本発明にかかる第12実施例のクロック信号供給装置を適用したプロセッサの構造の斜視図である。

〔0261〕本実施例においてプロセッサもWSI素子1340を有して構成される。

〔0262〕図22中の点線で示すように、WSI素子1340上に形成された回路、複数のマクロセルに分かれている。このマクロセルが、第4実施例におけるクロック信号の分配先1009に相当する。

〔0263〕各マクロセルに光受信・位相調整回路13

43が形成されている。

〔0264〕WSI素子1340の表面には、多層配線層1341が形成され、更にその上に光導波路配線1342が形成されている。

〔0265〕光クロック信号1344は、光導波路配線1342によって分岐され、光受信・位相調整回路1343に導かれる。

〔0266〕光受信・位相調整回路1343の表面の配線層1341の一部には、貫通孔が形成されており、貫通孔以外の部分には光導波路配線1342から漏れる放射光が、回路に入射するのに防ぐために、光隔離手段としてブラックマスク膜が形成されている。

〔0267〕基準信号は、配線層1341によって光受信・位相調整回路1343に供給される。光受信・位相調整回路1343により位相調整されたクロック信号は、配線層1341を介してマクロセル内の配分先1015に分配される。

〔0268〕したがって、本第12実施例によれば、WSI素子1340のマクロセル内部に、所定に位相を有する超高速クロック信号を分配することができる。

〔0269〕以上、本発明を図面を参照して説明したが、その要旨は、光によりクロック信号の周波数情報を供給し、電気によりクロック信号の位相情報を供給することにより、本発明により、位相の揃った超高速クロック信号を分配先に供給することが可能となる。

〔0270〕本要旨を満たす構成要件からなる実施例であれば、上記の実施例に限られないことは言までもない。

〔0271〕

〔発明の効果〕本発明の要件は半導体チップと配線基板に対する光導波路配線の配置にある。配線基板としてシリコン基板の他、プリント基板、多層セラミクス基板などに対しても効果がある。使用目的に応じて、光導波路材料として、例えば、ポリイミド、ガラス、半導体などから選択し、導波構造やモードを設計することができる。また、実施例では配線基板の表面に光導波路配線を形成したが、配線基板とは別個に製作した光導波路基板を配線基板の上に搭載する方法、印刷、形成などの方法によっても光導波路配線を設けることができる。

〔0272〕光接続手段の周波数帯域幅が電気接続手段に比べ非常に広いので、1GHzを超えるクロック信号

を供給することができる。さらに、電気接続手段の伝搬遅延時間は、光接続手段により容易に制御できるため、位相基準信号によって位相ずれのないクロック信号を供給することができる。

〔図面の簡単な説明〕

〔図1〕本発明の第1実施例の断面図。

〔図2〕図1のA-A'線の断面図。

〔図3〕半導体装置の製造プロセスの図。

〔図4〕光導波路配線の構造の図。

〔図5〕光導波路配線の分岐または偏向方法を示す図。

〔図6〕配線基板と半導体チップの間の光接続に必要なミラーの構成を示す図。

〔図7〕ミラーを作成するためのホトリソグラフィ工程を示す図。

〔図8〕光導波路配線を用いたクロック信号分配のための構成を示す本発明の第2実施例の断面図。

〔図9〕本発明の第2実施例の上面図。

〔図10〕本発明の第3実施例の上面図。

〔図11〕本発明の第4実施例のクロック信号供給装置の構成図。

〔図12〕本発明の第5実施例である光送信手段の構成図。

〔図13〕本発明の第6実施例である光受信手段の構成図。

〔図14〕本発明の第7実施例であるクロック信号供給装置を適用したプロセッサの断面構造図。

〔図15〕本発明の第8実施例であるクロック信号供給装置を適用したプロセッサの断面構造図。

〔図16〕本発明の第9実施例であるクロック信号供給装置を適用したプロセッサの断面構造図である。

〔図17〕本発明の第8実施例である光配線手段を説明するための上面構造図。

〔図18〕本発明にかかる、他の光配線手段を示す斜視構造図。

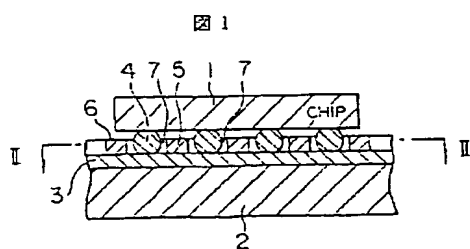
〔図19〕本発明にかかる、他の光配線手段の説明図。

〔図20〕本発明の第10実施例であるクロック信号供給装置を適用したプロセッサの断面構造図。

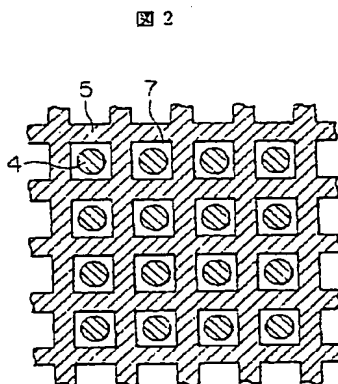
〔図21〕本発明の第11実施例であるクロック信号供給装置を適用したプロセッサの断面構造図。

〔図22〕本発明の第12実施例であるクロック信号供給装置を適用したプロセッサの断面構造図。

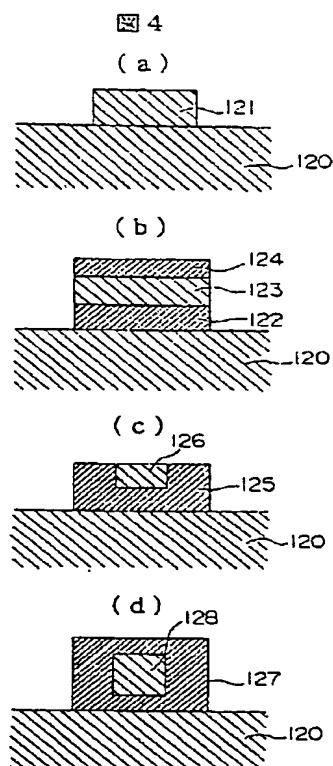
【图 1】



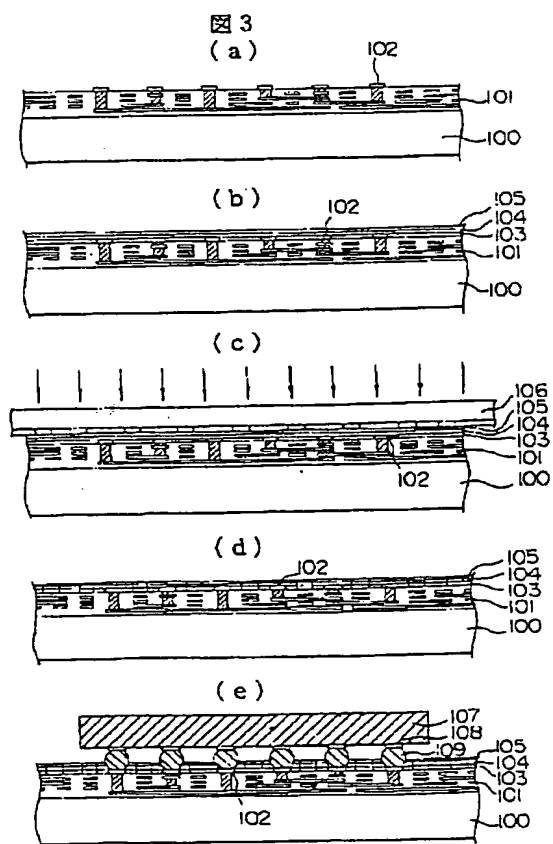
【圖 2】



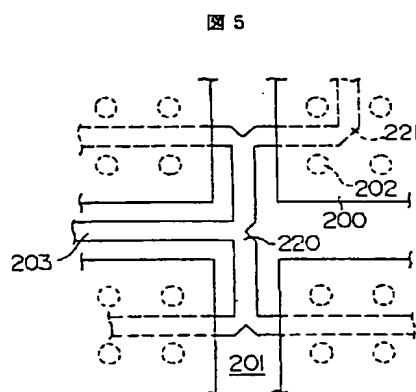
【圖 4】



【圖 3】

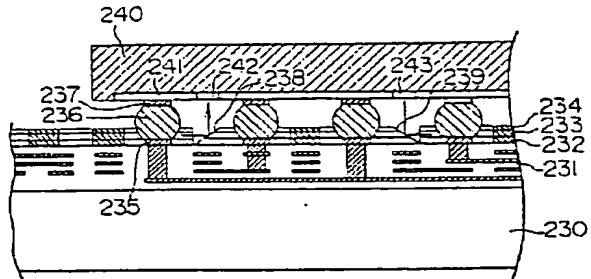


【圖 5】



【図6】

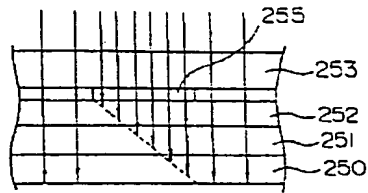
図6



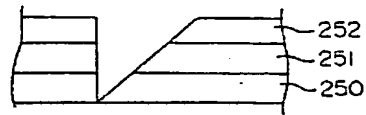
【図7】

図7

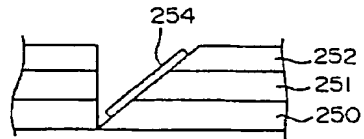
(a)



(b)

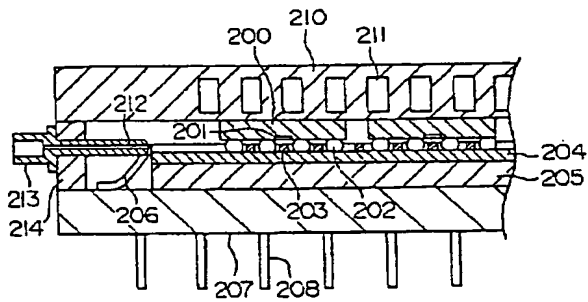


(c)



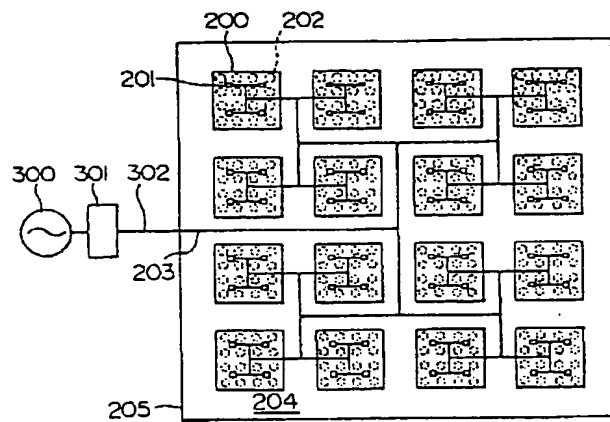
【図8】

図8



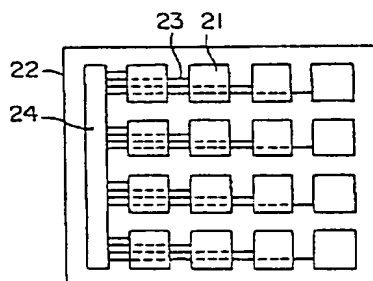
【図9】

図9



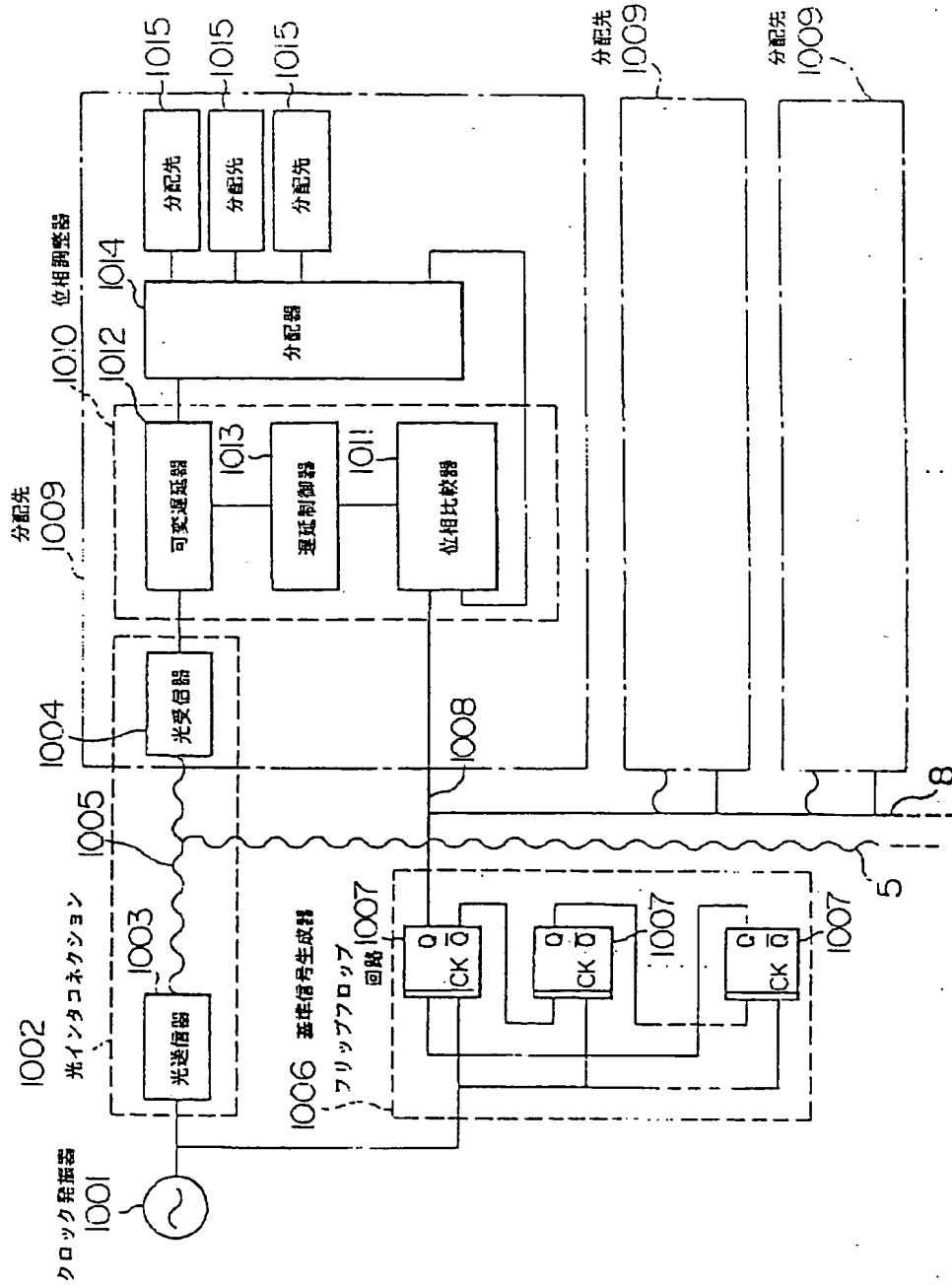
【図10】

図10



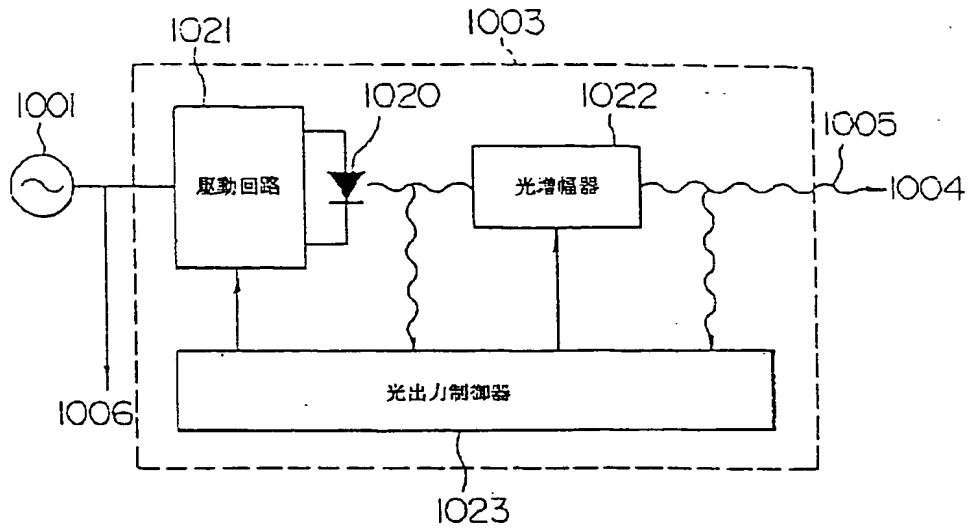
【図11】

図 1 1



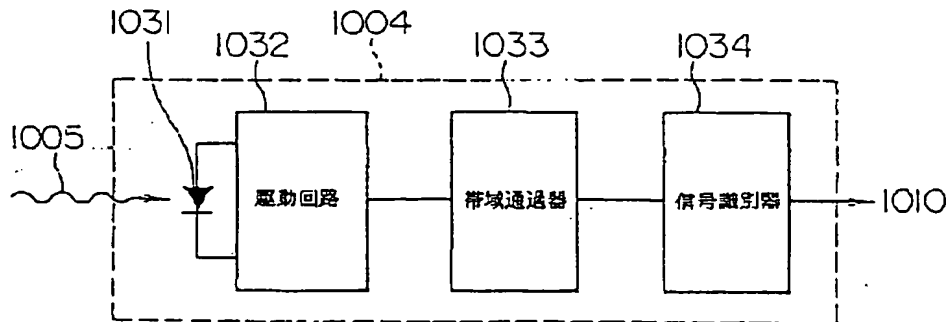
【図12】

図12



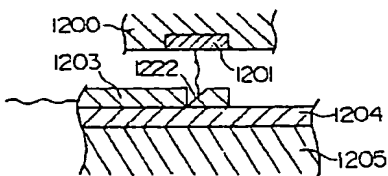
【図13】

図13



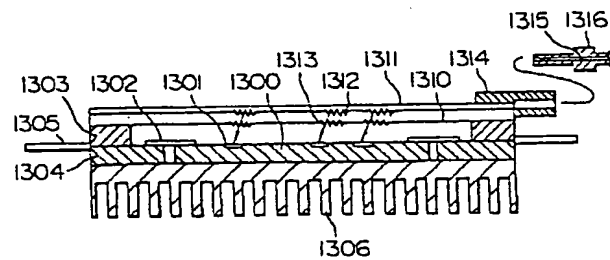
【図19】

図19



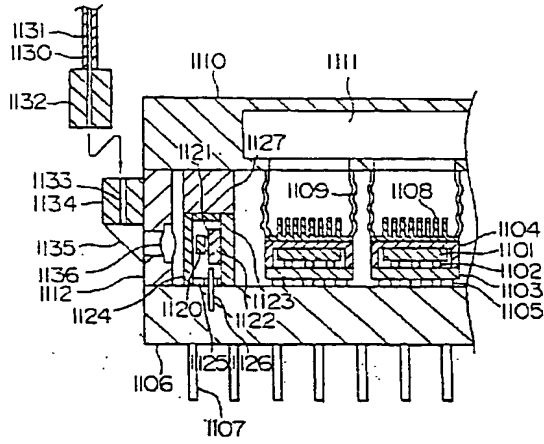
【図20】

図20



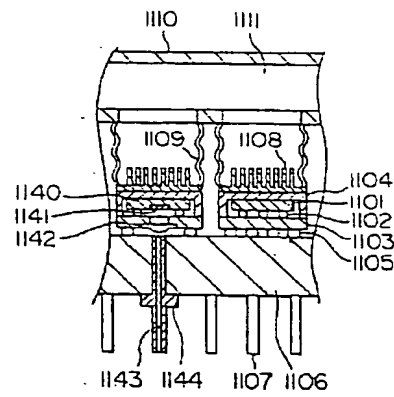
【図14】

図14



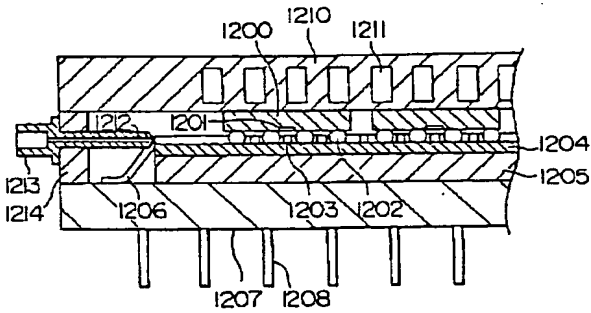
【図15】

図15



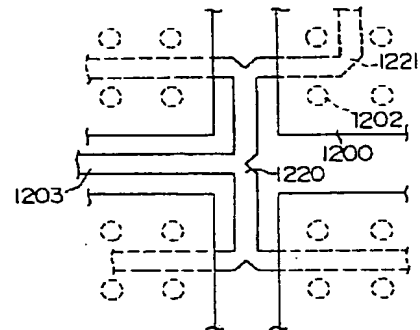
【図16】

図16



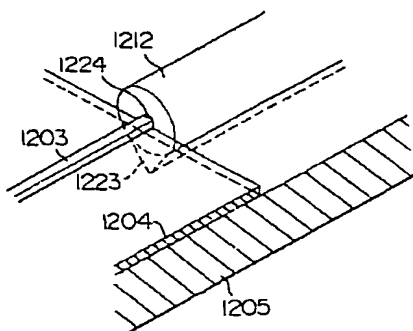
【図17】

図17



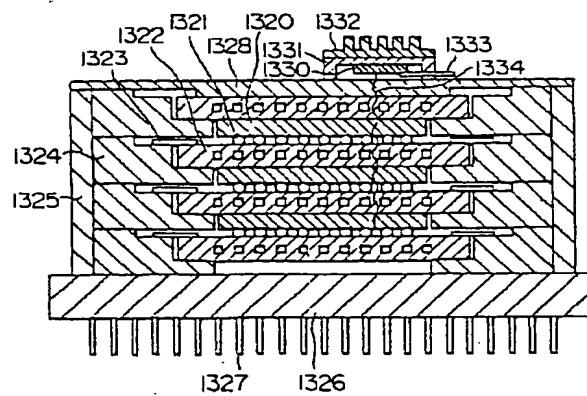
【図18】

図18



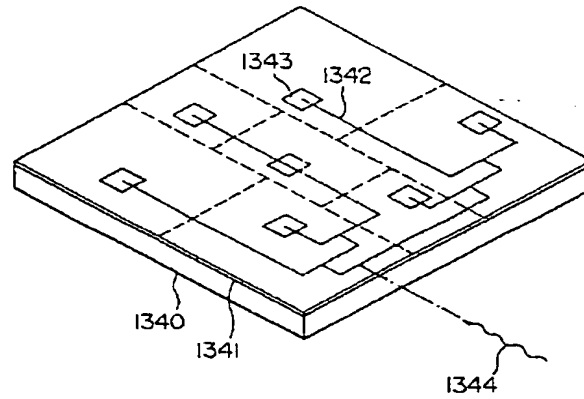
【図21】

図21



〔図22〕

図22



フロントページの続き

(72)発明者 川田 篤美
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 以頭 博之
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.